

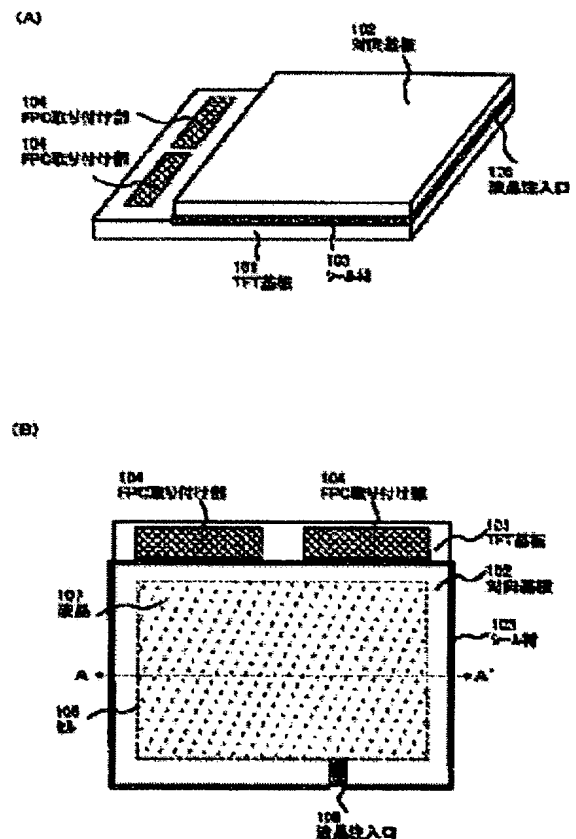
DISPLAY DEVICE AND GOGGLE TYPE DISPLAY DEVICE HAVING THAT DISPLAY DEVICE

Patent number: JP2001033765
Publication date: 2001-02-09
Inventor: YAMAZAKI MASARU; OSADA MAI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: G09F9/00; G02B27/02; G02F1/1333; G02F1/1339;
G09F9/00; G02B27/02; G02F1/13; (IPC1-7):
G02F1/1333; G02B27/02; G02F1/1339; G09F9/00
- european:
Application number: JP19990202034 19990715
Priority number(s): JP19990202034 19990715

Report a data error here

Abstract of JP2001033765

PROBLEM TO BE SOLVED: To obtain a goggle type display device which prevents misalignment between a display element and optical element by shaping a substrate by an etching method or the like to form a groove (cell structure part) to hold a liquid crystal on the surface of the substrate. **SOLUTION:** A liquid crystal panel is equipped with a thin film transistor(TFT) substrate 101, counter substrate 102, sealing material 103, FPC amounting part 104 and liquid crystal injection port 105. TFTs to drive the liquid crystal are formed on the TFT substrate 101. In this liquid crystal panel, a cell structure part is formed by etching the surface of the counter substrate 102 facing the TFT substrate 101, and the counter substrate 102 and the TFT substrate 101 are laminated to form a cell 106 by the cell structure part of the counter substrate 102 and the TFT substrate 101. Therefore, the cell 106 is formed by the TFT substrate 101 and the counter substrate 102, and the liquid crystal 107 is supplied to fill the cell. The liquid crystal is injected through the liquid crystal injection port 105, and the liquid crystal injection port 105 is sealed with the sealing material.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-33765

(P 2 0 0 1 - 3 3 7 6 5 A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G02F 1/1333	500	G02F 1/1333 500	2H089
G02B 27/02		G02B 27/02	Z 2H090
G02F 1/1339	505	G02F 1/1339 505	5G435
G09F 9/00	338	G09F 9/00 338	

審査請求 未請求 請求項の数22 O L (全31頁)

(21) 出願番号 特願平11-202034

(22) 出願日 平成11年7月15日 (1999.7.15)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 優

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 長田 麻衣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

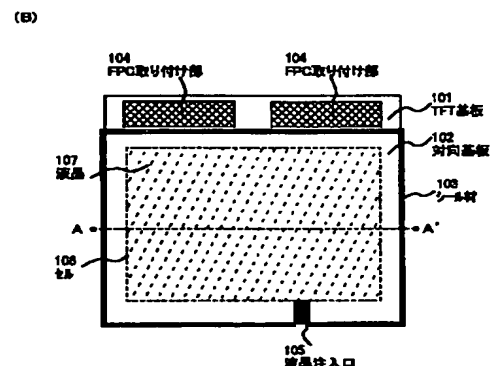
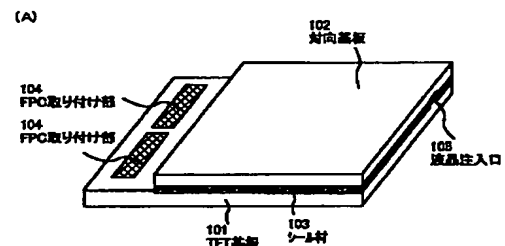
最終頁に続く

(54) 【発明の名称】 表示装置と表示装置を有するゴーグル型表示装置

(57) 【要約】

【課題】 表示素子と光学素子の位置ずれを防ぐゴーグル型表示装置を提供すること。

【解決手段】 2つの基板と、液晶と、シール材とを有する表示装置であって、2つの基板のうち少なくとも1つは、他のもう1つの基板側の面に溝を有しており、前記2つの基板はその側面に設けられた前記シール材によって貼り合わされており、前記溝には液晶が充填されていることを特徴とする表示装置。



【特許請求の範囲】

【請求項 1】 2つの基板と、液晶と、シール材とを有する表示装置であって、
前記 2つの基板のうち少なくとも 1つは、他のもう 1つの基板側の面に溝を有しており、
前記 2つの基板はその側面に設けられた前記シール材によって貼り合わされており、
前記溝には液晶が充填されていることを特徴とする表示装置。

【請求項 2】 第 1の基板と、
前記第 1の基板側の面に溝を有する第 2の基板と、
前記第 1の基板と前記第 2の基板との側面に設けられたシール材と、
前記溝に充填された液晶と、を有することを特徴とする表示装置。

【請求項 3】 2つの基板と、液晶と、シール材とを有する表示装置であって、
前記 2つの基板のうち少なくとも 1つは、他のもう 1つの基板側の面に溝を有しており、
前記シール材は、前記 2つの基板の接している部分を覆うように前記溝に設けられており、
前記溝には前記液晶が充填されていることを特徴とする表示装置。

【請求項 4】 第 1の基板と、
前記第 1の基板側の面に溝を有する第 2の基板と、
前記第 1の基板と前記第 2の基板とが接している部分を覆うように前記溝に設けられたシール材と、
前記溝に充填された液晶と、
を有することを特徴とする表示装置。

【請求項 5】 2つの基板と、液晶と、シール材とを有する表示装置であって、
前記 2つの基板のうち少なくとも 1つは、他のもう 1つの基板側の面に溝を有しており、
前記溝は前記溝を有する基板の側面の一部に及んでおり、
前記 2つの基板はその側面に設けられた前記シール材によって貼り合わされており、
前記溝には液晶が充填されていることを特徴とする表示装置。

【請求項 6】 請求項 1乃至請求項 5のいずれか 1項において、前記液晶は実質的にしきい値を有しない反強誘電性液晶であることを特徴とする表示装置。

【請求項 7】 請求項 1乃至請求項 5のいずれか 1項において、前記液晶は実質的にしきい値を有しない反強誘電性混合液晶であることを特徴とする表示装置。

【請求項 8】 請求項 1乃至請求項 7のいずれか 1項において、前記液晶は V字型の電気光学特性を有する反強誘電性混合液晶であることを特徴とする表示装置。

【請求項 9】 請求項 1乃至請求項 8のいずれか 1項に記載の前記表示装置を 3個有するリアプロジェクター。

【請求項 10】 請求項 1乃至請求項 9のいずれか 1項に記載の前記表示装置を 3個有するフロントプロジェクター。

【請求項 11】 請求項 1乃至請求項 10のいずれか 1項に記載の前記表示装置を 1個有するリアプロジェクター。

【請求項 12】 請求項 1乃至請求項 11のいずれか 1項に記載の前記表示装置を 1個有するフロントプロジェクター。

10 【請求項 13】 請求項 1乃至請求項 12のいずれか 1項に記載の前記表示装置を 1個有するモバイルコンピュータ。

【請求項 14】 請求項 1乃至請求項 13のいずれか 1項に記載の前記表示装置を 1個有するノートブック型パーソナルコンピュータ。

【請求項 15】 請求項 1乃至請求項 14のいずれか 1項に記載の前記表示装置を 1個有するビデオカメラ。

【請求項 16】 請求項 1乃至請求項 15のいずれか 1項に記載の前記表示装置を 1個有する DVD プレーヤー。

20 【請求項 17】 請求項 1乃至請求項 16のいずれか 1項に記載の前記表示装置を 1個有するゲーム機。

【請求項 18】 表示装置と、
光学素子と、
を有するゴーグル型表示装置であって、
前記表示装置は 2つの基板と、液晶と、シール材とを有しており、
前記 2つの基板のうち少なくとも 1つは、他のもう 1つの基板側の面に溝を有しており、
前記 2つの基板はその側面に設けられた前記シール材によって貼り合わされており、
前記溝には液晶が充填されており、
前記表示装置および前記光学素子は、一体となっていることを特徴とするゴーグル型表示装置。

【請求項 19】 表示装置と、
光学素子と、を有するゴーグル型表示装置であって、
前記表示装置は第 1の基板と、前記第 1の基板側の面に溝を有する第 2の基板と、前記第 1の基板と前記第 2の基板との側面に設けられたシール材と、前記溝に充填された液晶とを有しており、
40 前記表示装置および前記光学素子は、一体となっていることを特徴とするゴーグル型表示装置。

【請求項 20】 請求項 18または請求項 19のいずれか 1項において、前記液晶は実質的にしきい値を有しない反強誘電性液晶であることを特徴とするゴーグル型表示装置。

【請求項 21】 請求項 18または請求項 19のいずれか 1項において、前記液晶は実質的にしきい値を有しない反強誘電性混合液晶であることを特徴とするゴーグル型表示装置。

50 【請求項 22】 請求項 18乃至請求項 21のいずれか 1

項において、前記液晶はV字型の電気光学特性を有する反強誘電性混合液晶であることを特徴とするゴーグル型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本明細書で開示する発明は2つの基板を用いた表示装置、特に液晶パネルに関する。また前記表示装置を用いたゴーグル型表示装置に関する。本明細書では、ゴーグル型表示装置というが、ヘッドマウントディスプレイ (HMD) と呼ばれる場合もある。

【0003】

【従来の技術】

【0004】近年、基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達してきている。それに伴い基板上に形成した薄膜トランジスタを用いた液晶表示装置の開発も盛んに行われている。

【0005】液晶表示装置は2つの基板の間にTFT (薄膜トランジスタ)、液晶、配向膜、透明電極などの構成材料が積層された液晶パネルを有している。液晶パネルの2つの基板間の距離 (セルギャップ) は、用いる液晶材料によっても異なるが、一般的に0.3 μ m~10 μ m程度となっている。

【0006】セルギャップは液晶層の厚さと密に関係しており、セルギャップを制御することは、液晶層の厚さを制御することになる。液晶層の厚さは液晶ディスプレイとしての表示特性と密接に関係している。

【0007】視野角に大きな影響を与えるリタデーションは、液晶材料の複屈折率とセルギャップとの積で決まる。また電界の強さは電圧を距離で割ったものなので、セルギャップが変化すると電界の強さも変化する。

【0008】よって液晶層の厚さは、液晶ディスプレイの応答速度、コントラスト、視角、色調などと密接に関係している。そのためセルギャップを表示面積内で均一に制御することは、液晶の駆動条件の安定化、さらに色むらの抑制などの点から非常に重要である。

【0009】セルギャップを制御する方法としては、スペーサを用いる方法と、シール材を用いる方法とが挙げられる。

【0010】

【発明が解決しようとする課題】

【0011】スペーサを用いる方法とは、絶縁物となるスペーサを基板間に散在させ、スペーサの厚さでセルギャップを制御するものである。

【0012】スペーサを用いる方法において、基板上に散布されるスペーサを均一に散在させることは容易ではない。いくつもの基板上に散布されるスペーサの量を、基板1つ、1つ常に一定にするための工夫がスペーサを散布する装置に必要になるという問題があった。

【0013】また、1つの基板上のスペーサを均一に散布するためには、スペーサを散布するノズルの動きを工夫する必要があり、そのために装置が複雑になってしまうという問題があった。

【0014】また、時としてスペーサは、そのスペーサのいくつかが固まった形 (凝集体) として散布されてしまうことがあり、均一性の点で問題があった。

【0015】さらに基板上にスペーサが均一に散布されたとしても、液晶を注入する際にスペーサが移動してしまうことがある。液晶を注入する方法の1つとして、2つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセルの外部の気圧を上げることで液晶をセルに注入するやり方がある。この方法では、液晶をセルに注入する際に、スペーサが移動してしまい、基板上に偏って散布されてしまうという問題があった。

【0016】またスペーサがTFT (薄膜トランジスタ) 上に位置することによって、2つの基板を貼り合わせたときにTFTが破損してしまうという問題もあった。

【0017】一方、セルギャップを制御する方法として、シール材を用いる方法がある。シール材を用いる方法とは、2つの基板をシール材を間に挟んでプレスする際にセルギャップの制御を行うものである。しかしセルギャップは一般的に0.3 μ m~10 μ m程度と非常に短く、機械によってセルギャップを均一に保つのが難しいという問題があった。

【0018】また近年、使用者が頭部に装着して使用するゴーグル型の表示装置が普及してきている。このゴーグル型の表示装置は、HMD (ヘッドマウントディスプレイ) とも呼ばれ、映像を拡大してその虚像を形成するレンズ、およびそのレンズの焦点距離よりも近くに設置された液晶パネルのような表示装置を有している。使用者は、液晶パネルの表示をレンズを介して観察することによって、拡大された映像を鑑賞することができる。よって、小型でありながらも、大画面の表示を鑑賞することができる。

【0019】このゴーグル型表示装置は、使用者が頭部に装着して使用するため、据え置き型の表示装置と比較して本体の対衝撃性が高いことが求められる。かつ、ゴーグル型表示装置は、使用中常に動いていることになり、内部の光学系が置き型の表示装置と比較して、「ずれ」を生じ易い。

【0020】ゴーグル型表示装置は、液晶パネルの表示をレンズを介して観察するので、液晶パネルとレンズとの「ずれ」が表示品質の劣化に直接つながってしまうという問題があった。

【0021】そこで、本発明は上述の問題を鑑みてなされたものであり、上述の問題を解決する液晶表示装置、及び前記液晶表示装置を用いたゴーグル型表示装置を提

供することを課題とする。

【0022】

【課題を解決するための手段】

【0023】本発明では、基板をエッチング等で削ることで、基板の表面に液晶を挟持するための溝（セル構成部）を形成する。このセル構成部が形成されている基板と、同じくセル構成部が形成されている基板若しくは形成されていない基板とを貼り合わせることで、液晶が挟持される部分（セル）を有する液晶パネルを形成する。

【0024】セルギャップはセル構成部の深さで決定する。セル構成部が形成されている基板同士を貼り合わせた場合は、それぞれのセル構成部の深さの和がセルギャップとなる。セル構成部が形成されている基板と、セル構成部が形成されていない基板とを貼り合わせた場合は、セル構成部が形成されている基板のセル構成部の深さがセルギャップとなる。

【0025】本発明は上記構成によって、スペーサやシール材によってセルギャップを制御する必要がなくなり、容易にセルギャップを均一に保つことが可能になった。

【0026】またシール材でセルギャップを制御した場合、2つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセルの外部の気圧を上げることで液晶をセルに注入する際、セルの内部と外部の気圧差が大きいために、シール材に負担がかかっていた。しかし本発明ではセルの内部と外部の気圧差が大きくてもシール材にかかる負担が小さい。

【0027】また本発明は、上述の課題を解決するために次のような手段を採った。図18を参照する。図18には、本発明のゴーグル型表示装置に用いられる光学素子であるレンズと画像表示部品であるTFT基板およびバックライトとが示されている。本発明によると、レンズの一部がエッチング等で削られてセル構成部を形成している。そして、エッチング等で削られていない基板上にTFTが形成されたTFT基板がレンズと貼り合わされており、TFT基板とレンズのセル構成部との間に液晶が挟持される。この本願の構成の場合、TFT基板とレンズとの相対位置がずれることはない。

【0028】図18において、1801はレンズ、1802はTFT基板、1803はバックライト、1804はセル、1805は使用者の眼球である。レンズ1801にはエッチング等によって削られた溝（セル構成部）が形成されている。そしてセル構成部を有するレンズ1801とTFT基板1802とが貼り合わされることで、セル1804が形成される。セル1804には液晶が充填されている。

【0029】なお、バックライト1803は、TFT基板またはレンズに固定されていても良い。

【0030】上述のように、本発明によると、画像の表

示を行う液晶パネルと、その画像を拡大し使用者の眼球に投射する光学素子（レンズ）との相対位置の経時変化がおこらない。よって、液晶パネルとレンズとの相対位置に関してはメンテナンスフリーである。

【0031】本発明では、2つの基板と、液晶と、シール材とを有する表示装置であって、前記2つの基板のうち少なくとも1つは、他のもう1つの基板側の面に溝を有しており、前記2つの基板はその側面に設けられた前記シール材によって貼り合わされており、前記溝には液晶が充填されていることを特徴とする表示装置を提供する。

【0032】本発明では、第1の基板と、前記第1の基板側の面に溝を有する第2の基板と、前記第1の基板と前記第2の基板との側面に設けられたシール材と、前記溝に充填された液晶と、を有することを特徴とする表示装置を提供する。

【0033】2つの基板と、液晶と、シール材とを有する表示装置であって、前記2つの基板のうち少なくとも1つは、他のもう1つの基板側の面に溝を有しており、前記シール材は、前記2つの基板の接している部分を覆うように前記溝に設けられており、前記溝には前記液晶が充填されていることを特徴とする表示装置を提供する。

【0034】本発明では、第1の基板と、前記第1の基板側の面に溝を有する第2の基板と、前記第1の基板と前記第2の基板とが接している部分を覆うように前記溝に設けられたシール材と、前記溝に充填された液晶と、を有することを特徴とする表示装置を提供する。

【0035】本発明では、2つの基板と、液晶と、シール材とを有する表示装置であって、前記2つの基板のうち少なくとも1つは、他のもう1つの基板側の面に溝を有しており、前記溝は前記溝を有する基板の側面の一部に及んでおり、前記2つの基板はその側面に設けられた前記シール材によって貼り合わされており、前記溝には液晶が充填されていることを特徴とする表示装置。

【0036】

【発明の実施の形態】

【0037】以下に、本発明の液晶表示装置を実施例をもって詳細に説明する。

【0038】（実施の形態1）

【0039】図1に本発明の液晶表示装置が有する液晶パネルの外観図を示す。図1（A）が液晶パネルの斜視図で、図1（B）が上面図である。

【0040】図1（A）において、TFT基板101、対向基板102、シール材103、FPC取り付け部104、液晶注入口105が図に示すように設けられている。TFT基板101上には液晶を駆動させるためのTFTが形成されている。TFT基板はガラスでも石英でも良い。

【0041】図1（B）において、図1（A）に既に示

したものは同じ番号で示す。液晶注入口 105、セル 106、液晶 107 が図に示すように設けられている。

【0042】対向基板 102 の TFT 基板 101 側の面をエッチングすることによりセル構成部が形成されている。例えば石英基板の場合、弗酸を用いたウェットエッチングが可能であり、また弗素を用いたプラズマエッチングでも可能である。そして対向基板 102 と TFT 基板 101 とを貼り合わせることで、対向基板 102 のセル構成部と TFT 基板 101 とでセル 106 が形成されている。セル 106 は TFT 基板 101 と対向基板 102 とで形成されており、液晶 107 が充填されている。セル 106 は図 1 (B) では透視した図として便宜上点線で示している。

【0043】なお本実施の形態では、配向膜及び偏光板は省略している。配向膜と偏光板は、対向基板側に設けても良いし、TFT 基板側に設けても良い。また配向膜と偏光板とを、対向基板側及び TFT 基板側の両方に設けても良い。

【0044】液晶の注入は液晶注入口 105 から行い、液晶注入口 105 は封止材で封止されている。

【0045】図 1 (B) の破線 A-A' における断面の概略図を図 2 に示す。TFT 基板 101、対向基板 102、シール材 103、液晶 107 が図に示すように設けられている。セル 106 は TFT 基板 101 と対向基板 102 との間に形成されており、液晶 107 が充填されている。対向基板 102 のセル構成部の深さ L はセルギャップである。セルギャップ L はエッチングによってその長さを制御することができる。

【0046】TFT 基板 101 と対向基板 102 とはシール材 103 によって貼り合わされている。シール材 103 は、TFT 基板 101 と対向基板 102 とが接している部分を覆うように TFT 基板 101 と対向基板 102 との側面に設けられており、セル 106 を封止している。

【0047】図 3 (A) に、本発明の液晶セルの上面図である図 1 (B) の詳細図を示す。図 1 に示したものは同じ符号で示す。なお説明の都合上から図 1 (B) に示した液晶 107 は省略している。

【0048】TFT 基板 101 上のセル 106 の内部には、ソース信号線駆動回路 108、ゲート信号線駆動回路 109、画素領域 110 が図 3 (A) に示すように設けられている。

【0049】破線 B-B' における断面図を図 3 (B) に示す。TFT 基板 101、対向基板 102、シール材 103、液晶注入口 105、画素電極 111、対向電極 112、引き出し配線 113、導電性を有するフィラー 114、導電性を有する接着剤 115、FPC 側引き出し配線 116、FPC 基板 117 が図 3 (B) に示すように設けられている。

【0050】液晶注入口 105 は、対向基板 102 にセ

ル構成部をエッチングによって形成する際に同時に形成されている。液晶注入口 105 は本実施の形態では 1 つだけ形成されているが、複数形成することで液晶注入工程の際のセル内の排気及び液晶の注入を効率よく行えるようにしても良い。また液晶注入口 105 の大きさは適宜変更することが可能である。

【0051】対向電極 112 と引き出し配線 113 は導電性を有するフィラー 114 を介して接続している。なお本明細書において接続するとは、接触することで電気的に導通することを示す。引き出し配線 113 はセルの内部から外部に渡って形成されており、その一部が TFT 基板 101 と対向基板 102 との間に挟まれている。セルの外部で引き出し配線 113 と FPC 側引き出し配線 116 が導電性を有する接着剤 115 を介して接続されている。図示しないが FPC 側引き出し配線 116 は電源に接続されており、よって対向電極 112 は電源の電位 (電源電位) に保たれる。

【0052】図 3 (C) に図 3 (A) の破線 C-C' における断面図を示す。コモンパッド 118 が導電性を有するフィラー 114 を介して対向電極 112 と接続されている。図示しないがコモンパッド 118 は引き出し配線 113 と接続されており、対向電極 112 を電源電位に保っている。なおコモンパッド 118 と引き出し配線 113 とを導電性を有する膜から同時に形成しても良い。

【0053】TFT 基板 101 と対向基板 102 とはシール材 103 によって貼り合わされている。シール材 103 は、TFT 基板 101 と対向基板 102 とが接している部分を覆うように TFT 基板 101 と対向基板 102 との側面に設けられており、セル 106 を封止している。

【0054】本発明は上記構成によって、スペーサやシール材によってセルギャップを制御する必要がなくなり、容易にセルギャップを均一に保つことが可能になった。

【0055】またシール材でセルギャップを制御した場合、2 つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセルの外部の気圧を上げることで液晶をセルに注入する際、セルの内部と外部の気圧差が大きいために、シール材に負担がかかっていた。しかし本実施の構成ではシール材は TFT 基板と対向基板との側面に設けられているため、セルの内部と外部の気圧差が大きくてもシール材にかかる負担が小さい。

【0056】なお本実施の形態では、対向基板をエッチングすることでセル構成部を形成していたが、TFT 基板をエッチングしセル構成部を形成しても良いし、対向基板と TFT 基板の両方にセル構成部を形成する構成としても良いのは言うまでもない。

【0057】(実施の形態 2) 実施の形態 1 ではシール

10

20

30

40

50

材をセルの外部に設けていたが、本実施の形態ではシール材をセルの内部に設ける例について説明する。

【0058】図4に本発明の液晶表示装置が有する液晶パネルの外観図を示す。図4(A)が液晶パネルの斜視図で、図4(B)が上面図である。

【0059】図4(A)において、TFT基板401、対向基板402、FPC取り付け部404、液晶注入口405が図に示すように設けられている。TFT基板401上には液晶を駆動させるためのTFTが形成されて

いる。
【0060】図4(B)において、図4(A)に既にしたものは同じ番号で示す。液晶注入口405、セル406、液晶407が図に示すように設けられている。対向基板402のTFT基板401側の面をエッチングすることによりセル構成部が形成されている。そして対向基板402とTFT基板401と貼り合わせることで、対向基板402のセル構成部とTFT基板401とでセル406が形成されている。

【0061】セル406内部において、対向基板402とTFT基板401とが接している部分を覆うようにシール材403が設けられている。シール材403はセル406の内部に設けられているが、便宜上図4(B)では透視した図として示している。セル406はTFT基板401と対向基板402との間に形成されている。セル406には液晶407が充填されている。

【0062】液晶の注入は液晶注入口405から行い、液晶注入口405は封止材で封止されている。

【0063】なお本実施の形態では、配向膜及び偏光板は省略している。配向膜と偏光板は、対向基板側に設けても良いし、TFT基板側に設けても良い。また配向膜と偏光板とを、対向基板側及びTFT基板側の両方に設けても良い。

【0064】図4(B)の破線D-D'における断面の概略図を図5に示す。TFT基板401、対向基板402、シール材403、液晶407が図に示すように設けられている。セル406はTFT基板401と対向基板402とで形成されており、液晶407が充填されている。対向基板402のセル構成部の深さLはセルギャップである。セルギャップLはエッチングによってその長さを制御することができる。

【0065】TFT基板401と対向基板402とはシール材403によって貼り合わされている。シール材403はセル406内部のTFT基板401と対向基板402とが接している部分を覆うように設けられており、セル406を封止している。

【0066】図6(A)に、本発明の液晶セルの上面図である図4(B)の詳細図を示す。図4に示したものは同じ符号で示す。なお説明の都合上から図4(B)に示した液晶407は省略している。

【0067】TFT基板401上のセル406の内部に

は、ソース信号線駆動回路408、ゲート信号線駆動回路409、画素領域410が図6(A)に示すように設けられている。

【0068】図6(B)及び図6(C)を用いて本実施の形態の液晶パネルの貼り合わせの工程について説明する。図6(B)はTFT基板401と対向基板402とを貼り合わせる前の状態を示している。TFT基板401上に画素電極、コモンパッド、導電性を有するフィラーが図6(B)に示すように設けられている。一方対向基板402のTFT基板401側の面にはエッチングによりセル構成部419が形成されており、セル構成部419の底部には対向電極412が形成されている。

【0069】またセル構成部419の側部に、TFT基板401と接する部分を覆うためのシール材403が設けられている。シール材403は、TFT基板401と対向基板402との間に隙間を形成しないで完全に密着させるために、セル構成部419の側部の、TFT基板401に接する方の端に設けておく。

【0070】図6(B)で示したTFT基板401と対向基板402とを矢印の方向に貼り合わせたものが、図6(C)である。図6(C)は図6(A)における破線E-E'の断面図にあたる。

【0071】TFT基板401と対向基板402とを矢印の方向に貼り合わせることで、コモンパッド418が導電性を有するフィラー414を介して対向電極412と接続される。図示しないがコモンパッド418は引き出し配線を介して電源に接続されており、対向電極412は電源電位に保たれている。

【0072】TFT基板401と対向基板402とはシール材403によってセル406の内部で貼り合わされる。シール材403はTFT基板401と対向基板402とが接している部分を覆うように、TFT基板401と対向基板402との側面に設けられており、セル406を封止している。

【0073】本発明は上記構成によって、スペーサやシール材によってセルギャップを制御する必要がなくなり、容易にセルギャップを均一に保つことが可能になった。

【0074】またシール材でセルギャップを制御した場合、2つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセルの外部の気圧を上げることで液晶をセルに注入する際、セルの内部と外部の気圧差が大きいために、シール材に負担がかかっていた。しかし本実施の形態の構成ではシール材は、セル内部のTFT基板と対向基板とが接している部分を覆うように設けられているため、セルの内部と外部の気圧差が大きくてもシール材にかかる負担が小さい。

【0075】(実施の形態3) 本実施の形態では、TFT基板と対向基板との貼り合わせの形態について、実施

の形態1及び実施の形態2で示したものとは別の例を示す。

【0076】TFT基板701、対向基板702、シール材703、液晶707が図7に示すように設けられている。

【0077】対向基板702にはTFT基板701を固定して組み込むための溝(基板固定部705)が形成されている。そして基板固定部705の底部にセル構成部が形成されており、TFT基板701と対向基板702とが貼り合わされることで、セル706が形成される。セル706には液晶707が充填されている。

【0078】基板固定部705の側部とTFT基板701の側面との間にシール材703が設けられており、基板固定部705にTFT基板701を固定し、セル706を封止している。TFT基板701は、対向基板702の基板固定部705から突出していても良いし、逆に基板固定部705の内部に落ち込んでいても良く、基板固定部705に丁度納まっていても良い。

【0079】図7とは別の貼り合わせの例を、図8に示す。TFT基板801、対向基板802、シール材803、液晶807が図8に示すように設けられている。対向基板802に設けられたセル構成部とTFT基板801が貼り合わされて、セル806が形成されている。セル806内部には液晶807が充填されている。

【0080】TFT基板801の向かい合う側面同志の幅は、対向基板802の向かい合う側面同志の幅よりも大きい。シール材803は、セル806の外部のTFT基板801と対向基板802とが接している部分を覆うように設けられており、セル806を封止している。

【0081】なお本実施の形態では、配向膜及び偏光板は省略している。配向膜と偏光板は、対向基板側に設けても良いし、TFT基板側に設けても良い。また配向膜と偏光板とを、対向基板側及びTFT基板側の両方に設けても良い。

【0082】(実施の形態4)

【0083】本実施の形態では、導電性を有するフィラーを使わずに対向電極とコモンパッドを接続する例について説明する。

【0084】TFT基板901、対向基板902、シール材903、液晶907、画素電極911、対向電極912、コモンパッド918が図9に示すように設けられている。

【0085】対向基板902に形成されたセル構成部とTFT基板901が貼り合わされてセル906が形成される。セル906は液晶907が充填されている。対向電極912は対向基板902のセル構成部の底部及び側部を覆って、対向基板902の、TFT基板901側の面の、セル構成部が形成されていない部分にまで延びて存在しており、コモンパッド918と接続している。

【0086】なお対向基板902に設けられたセル構成

部の側部をテーパー状に形成しても良い。セル構成部の側部をテーパー状にすることで、対向電極912を成膜する際に段切れを起こしにくい。

【0087】本実施の形態では、直接コモンパッドと対向電極とを接続しているの、導電性を有するフィラーを用いる必要はない。

【0088】なお本実施の形態では、配向膜及び偏光板は省略している。配向膜と偏光板は、対向基板側に設けても良いし、TFT基板側に設けても良い。また配向膜と偏光板とを、対向基板側及びTFT基板側の両方に設けても良い。

【0089】(実施の形態5)

【0090】本実施の形態では、対向基板としてレンズを用いた液晶パネルをゴーグル型表示装置に用いた例について説明する。

【0091】図10を参照する。図10には、本実施例のゴーグル型表示装置の概略構成図が示されている。200はゴーグル型表示装置本体、201Rおよび201Lはレンズ、202Rおよび202LはTFT基板、203Rおよび203Lはバックライトである。

【0092】図11(A)は、本実施例のゴーグル型表示装置の図10におけるA部の断面図である。図11に示される様に、本実施の形態においては、ゴーグル型表示装置本体200の内部のレンズ201Rにセル構成部が形成されている。レンズ201Rのセル構成部とTFT基板202Rとが貼り合わされてセル205Rが形成されている。セル205Rは液晶が充填されている。

【0093】バックライト203Rからの光が、矢印の通りに使用者の眼球204Rに届く。

【0094】図11(A)の破線で囲った部分Aを拡大したのが図11(B)に相当する。TFT基板202Rとレンズ201Rとはシール材207Rで密着している。

【0095】なお、図11(A)及び図11(B)には、図示していないが、TFT基板202Rは一つまたは一つの偏光板が形成されるようにしても良い。なお、TFT基板202と偏光板とをまとめてTFT基板202と呼ぶこともある。

【0096】本実施の形態によると、画像の表示を行う液晶パネルと、その画像を拡大し使用者の眼球に投射する光学素子(レンズ)との相対位置の経時変化がおこらない。よって、液晶パネルとレンズとの相対位置に関してはメンテナンスフリーである。

【0097】また本発明は上記構成によって、スペーサやシール材によってセルギャップを制御する必要がなくなり、容易にセルギャップを均一に保つことが可能になった。

【0098】またシール材でセルギャップを制御した場合、2つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセ

ルの外部の気圧を上げることで液晶をセルに注入する際、セルの内部と外部の気圧差が大きいために、シール材に負担がかかっていた。しかし本実施の形態の構成ではシール材は、セル内部の TFT 基板と対向基板とが接している部分を覆うように設けられているため、セルの内部と外部の気圧差が大きくてもシール材にかかる負担が小さい。

【0099】

【実施例】

【0100】（実施例1）

【0101】ここで図12を参照し、本発明の TFT 基板の一例について説明する。なお、ゴーグル型表示装置に用いる TFT 基板は、左目用も右目用も同様の構造である。

【0102】本実施例では、TFT 基板はデジタルドライバを有している。TFT 基板 300 は、ソース信号線駆動回路 301、ゲート信号線駆動回路 302、デジタルビデオデータ分割回路 303 および複数の画素 TFT がマトリクス状に設けられた画素領域 304 を有している。ソース信号線駆動回路 301 及びゲート信号線駆動回路 302 は画素領域 304 に設けられた複数の画素 TFT を駆動する。305 は FPC 端子であり、これらの FPC 端子に外部から種々の信号が入力される。

【0103】ソース信号線駆動回路 301 は、シフトレジスタ回路（240 ステージ×2 のシフトレジスタ回路）、ラッチ回路 1（960×8 デジタルラッチ回路）、ラッチ回路 2（960×8 デジタルラッチ回路）、セレクト回路 1（240 のセレクト回路）、D/A 変換回路（240 の DAC）、セレクト回路 2（240 のセレクト回路）（いずれも図示せず）を有している。その他、バッファ回路やレベルシフト回路（いずれも図示せず）を有している。また、説明の便宜上、D/A 変換回路にはレベルシフト回路が含まれている。

【0104】302 はゲート信号線駆動回路であり、シフトレジスタ回路、バッファ回路、レベルシフト回路等（いずれも図示せず）を有している。

【0105】画素領域 304 は、（640×RGB）×1080（横×縦）の画素を有している。各画素には画素 TFT が配置されており、各画素 TFT のソース領域にはソース信号線が、ゲート電極にはゲート信号線が電氣的に接続されている。また、各画素 TFT のドレイン領域には画素電極が電氣的に接続されている。各画素 TFT は、各画素 TFT に電氣的に接続された画素電極への画像信号（階調電圧）の供給を制御している。各画素電極に画像信号（階調電圧）が供給され、各画素電極と対向電極との間に挟まれた液晶に電圧が印加され液晶が駆動される。

【0106】ここで、本実施例の TFT 基板の動作および信号の流れを説明する。

【0107】まず、ソース信号線駆動回路 301 の動作

を説明する。シフトレジスタ回路にクロック信号（CK）およびスタートパルス（SP）が入力される。シフトレジスタ回路は、これらのクロック信号（CK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ回路等を通して後段の回路へタイミング信号を順次供給する。

【0108】シフトレジスタ回路からのタイミング信号は、バッファ回路等によってバッファされる。タイミング信号が供給されるソース信号線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりの“鈍り”を防ぐために、このバッファ回路が形成される。

【0109】バッファ回路によってバッファされたタイミング信号は、ラッチ回路 1 に供給される。ラッチ回路 1 は、8 ビットデジタルビデオデータを処理するラッチ回路を 960 ステージ有している。ラッチ回路 1 は、前記タイミング信号が入力されると、デジタルビデオデータ分割回路 303 から供給される 8 ビットデジタルビデオデータを順次取り込み、保持する。

【0110】ラッチ回路 1 の全てのステージにラッチ回路にデジタルビデオデータの書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、ラッチ回路 1 の中で一番左側のステージのラッチ回路にデジタルビデオデータの書き込みが開始される時点から、一番右側のステージのラッチ回路にデジタルビデオデータの書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0111】1 ライン期間の終了後、シフトレジスタ回路の動作タイミングに合わせて、ラッチ回路 2 にラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ回路 1 に書き込まれ保持されているデジタルビデオデータは、ラッチ回路 2 に一斉に送出され、ラッチ回路 2 の全ステージのラッチ回路に書き込まれ、保持される。

【0112】デジタルビデオデータをラッチ回路 2 に送出し終えたラッチ回路 1 には、シフトレジスタ回路のタイミング信号に基づき、再びデジタルビデオデータ分割回路から供給されるデジタルビデオデータの書き込みが順次行われる。

【0113】この 2 順目の 1 ライン期間中には、ラッチ回路 2 に書き込まれ、保持されているデジタルビデオデータが、セレクト回路 1 によって順次選択され、D/A 変換回路に供給される。なお本実施例では、セレクト回路 1 においては、1 つのセレクト回路がソース信号線 4 本に対応している。

【0114】なお、セレクト回路については、本出願人による特許出願である特願平 9-286098 号に記載されているものを用いることもできる。

10

20

30

40

50

【0115】セレクト回路で選択されたラッチ回路 2 からの 8 ビット・デジタルビデオデータが D/A 変換回路に供給される。

【0116】D/A 変換回路は、8 ビットのデジタルビデオデータを画像信号（階調電圧）に変換し、セレクト回路 2 によって選択されるソース信号線に順次供給される。

【0117】ソース信号線に供給される画像信号は、ソース信号線に接続されている画素領域の画素 TFT のソース領域に供給される。

【0118】ゲート信号線駆動回路 302 においては、シフトレジスタからのタイミング信号（走査信号）がバッファ回路に供給され、対応するゲート信号線（走査線）に供給される。ゲート信号線には、1 ライン分の画素 TFT のゲート電極が接続されており、1 ライン分全ての画素 TFT を同時に ON にしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

【0119】このように、ゲート信号線駆動回路からの走査信号によって対応する画素 TFT のスイッチングが行われ、ソースドライバからの画像信号（階調電圧）が画素 TFT に供給され、液晶分子が駆動される。

【0120】303 はデジタルビデオデータ分割回路（SPC；Serial-to-Parallel Conversion Circuit）である。デジタルビデオデータ分割回路 303 は、外部から入力されるデジタルビデオデータの周波数を $1/x$ に落とすための回路である（ x は 2 以上の自然数）。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も $1/x$ に落とすことができる。

【0121】（実施例 2）

【0122】本実施例では図 13 乃至図 16 を用いて、実施の形態 5 で示したゴーグル型表示装置に用いられるレンズを有する液晶パネルとは別の例を示す。

【0123】図 13 において、1301 はレンズ、1302 は TFT 基板、1303 はバックライト、1304 はセル、1305 は使用者の眼球である。セル 1304 には液晶が充填されている。なお、バックライト 1303 は、TFT 基板またはレンズに固定されていても良い。

【0124】なお、図 13 には、図示していないが、TFT 基板 1302 は一対または一つの偏光板が形成されるようにしても良い。なお、TFT 基板 1302 と偏光板とをまとめて TFT 基板と呼ぶこともある。

【0125】図 14 において、1401 はレンズ、1402 は TFT 基板、1403 はバックライト、1404 はセル、1405 は使用者の眼球である。セル 1404 には液晶が充填されている。なお、バックライト 1403 は、TFT 基板またはレンズに固定されていても良い。

【0126】なお、図 14 には、図示していないが、TFT 基板 1402 は一対または一つの偏光板が形成されるようにしても良い。なお、TFT 基板 1402 と偏光板とをまとめて TFT 基板と呼ぶこともある。

【0127】図 15 において、1501 はレンズ、1502 は TFT 基板、1503 はバックライト、1504 はセル、1505 は使用者の眼球である。セル 1504 には液晶が充填されている。なお、バックライト 1503 は、TFT 基板またはレンズに固定されていても良い。

【0128】なお、図 15 には、図示していないが、TFT 基板 1502 は一対または一つの偏光板が形成されるようにしても良い。なお、TFT 基板 1502 と偏光板とをまとめて TFT 基板と呼ぶこともある。

【0129】図 16 において、1601 はレンズ、1602 は TFT 基板、1603 はバックライト、1604 はセル、1605 は使用者の眼球である。セル 1604 には液晶が充填されている。なお、バックライト 1603 は、TFT 基板またはレンズに固定されていても良い。

【0130】なお、図 16 には、図示していないが、TFT 基板 1602 は一対または一つの偏光板が形成されるようにしても良い。なお、TFT 基板 1602 と偏光板とをまとめて TFT 基板と呼ぶこともある。

【0131】（実施例 3）

【0132】ここでは画素領域の画素 TFT と、画素領域の周辺に設けられる駆動回路（ソースドライバ、ゲートドライバ、D/A 変換回路、デジタルビデオデータ時間階調処理回路等）の TFT を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路、D/A 変換回路などの基本回路である CMOS 回路と、 n チャネル型 TFT とを図示することにする。

【0133】図 19 (A) において、基板（TFT 基板）6001 には低アルカリガラス基板や石英基板を用いることができる。本発明ではスマートカット、SIMOX、ELTRAN 等の SOI 基板を用いても良い。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも $10 \sim 20^\circ\text{C}$ 程度低い温度であらかじめ熱処理しておいても良い。この基板 6001 の TFT を形成する表面には、基板 6001 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6002 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 100 nm 、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を 6100 nm の厚さに積層形成する。

【0134】次に、 $20 \sim 6050\text{ nm}$ （好ましくは $30 \sim 80\text{ nm}$ ）の厚さで非晶質構造を有する半導体膜 6

003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜6002と非晶質シリコン膜6003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。(図19

(A))

【0135】そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良い。レーザー結晶化の際に、連続発光エキシマレーザーを用いても良い。ここでは、特開平7-6030652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500℃で1時間程度の熱処理を行い、含有水素量を5atomm%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では55nm)よりも1~15%程度減少した。(図19(B))

【0136】そして、結晶質シリコン膜6003bを島状に分割して、島状半導体層6004~6007を形成する。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層6008を形成する。(図19(C))

【0137】そしてレジストマスク6009を設け、nチャネル型TFTを形成する島状半導体層6005~6007の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン

(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層6010~6012はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。

(図19(D))

【0138】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010、6011に選択的に添加する。そのため、あらかじめレジストマスク6013~6016を形成した。n型を付与する不純物元素としては、リン

(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017~6019に含まれるn型を付与する不純物元素の濃度を(n⁻)と表す。また、不純物領域6019は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図20(A))

【0139】次に、マスク層6008をフッ酸などにより除去して、図20(D)と図20(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600℃で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。また連続発光エキシマレーザーを用いて活性化を行っても良い。

【0140】そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10~6050nmの厚さでシリコンを含む絶縁膜で形成する。例えば、6020nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図20(B))

【0141】次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)6021と金属膜から成る導電層(B)6022とを積層させた。導電層(B)6022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)6021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良

かった。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで $20 \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0142】導電層 (A) 6021 は 10~50 nm (好ましくは 20~30 nm) とし、導電層 (B) 6022 は 6100~400 nm (好ましくは 250~350 nm) とすれば良い。本実施例では、導電層 (A) 6021 に 30 nm の厚さの窒化タンタル膜を、導電層 (B) 6022 には 350 nm の Ta 膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスの Ar に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層 (A) 6021 の下に 2~20 nm 程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜 6020 に拡散するのを防ぐことができる。(図 20 (C))

【0143】次に、レジストマスク 6023~6027 を形成し、導電層 (A) 6021 と導電層 (B) 6022 とを一括でエッチングしてゲート電極 6028~6031 と容量配線 6032 を形成する。ゲート電極 6028~6031 と容量配線 6032 は、導電層 (A) から成る 6028a~6032a と、導電層 (B) から成る 6028b~6032b とが一体として形成されている。この時、駆動回路に形成するゲート電極 6029、6030 は不純物領域 6017、6018 の一部と、ゲート絶縁膜 6020 を介して重なるように形成する。(図 20 (D))

【0144】次いで、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域を形成するために、p 型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極 6028 をマスクとして、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT が形成される領域はレジストマスク 6033 で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドープ法で不純物領域 6034 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{10} \sim 3 \times 10^{11} \text{ atoms/cm}^2$ となるようにする。本明細書中では、ここで形成された不純物領域 6034 に含まれる p 型を付与する不純物元素の濃度を (p') と表す。(図 21 (A))

【0145】次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 6035~6037 を形成し、n 型を付与する不純物元素が添加して不純物領域 6038~6042 を形成した。これは、フォスフィン (PH_3) を用いたイオンドープ法で行い、この領域のリン (P) 濃度を $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$

とした。本明細書中では、ここで形成された不純物領域 6038~6042 に含まれる n 型を付与する不純物元素の濃度を (n') と表す。(図 21 (B))

【0146】不純物領域 6038~6042 には、既以前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 6038 に添加されたリン (P) 濃度は図 21 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった。

【0147】そして、画素マトリクス回路の n チャネル型 TFT の LDD 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 6031 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。添加するリン (P) の濃度は $1 \times 10^{14} \sim 5 \times 6001^8 \text{ atoms/cm}^2$ であり、図 20 (A) および図 21 (A) と図 21 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 6043、6044 のみが形成される。本明細書中では、この不純物領域 6043、6044 に含まれる n 型を付与する不純物元素の濃度を (n'') と表す。(図 21 (C))

【0148】その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンズアニール法、レーザーアニール法、またはラビッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーンズアニール法で活性化工程を行った。熱処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 800^\circ\text{C}$ 、代表的には $500 \sim 600^\circ\text{C}$ で行うものであり、本実施例では 550°C で 4 時間の熱処理を行った。また、基板 6001 に石英基板のような耐熱性を有するものを使用した場合には、 800°C で 1 時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0149】この熱処理において、ゲート電極 6028~6031 と容量配線 6032 形成する金属膜 6028b~6032b は、表面から 5~80 nm の厚さで導電層 (C) 6028c~6032c が形成される。例えば、導電層 (B) 6028b~6032b がタングステン (W) の場合には窒化タングステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (Ta_N) を形成することができる。本発明では、シリコン (Si) 膜と WN 膜と W 膜とを積層したもの、W 膜と Si を有する W 膜とを積層したもの、W 膜と Si を有する W 膜と Si とを積層したもの、Mo を有する W の膜、または Mo を有する Ta の膜を用いてゲート電極としても

良い。また、導電層 (C) 6028c~6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気にてゲート電極6028~6031を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素、プラズマ化した水素を用いる) を行っても良い。

【0150】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図21 (B) で形成した不純物領域 (n') と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をゲッタリングをすることができた。(図21 (D))

【0151】活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、にチタン (Ti) やタンタル (Ta)、タングステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を0.1~2重量%含むアルミニウム (Al) 膜を導電層 (D) 6045とし、チタン (Ti) 膜を導電層 (E) 6046として形成した。導電層 (D) 6045は6100~400nm (好ましくは250~350nm) とすれば良く、導電層 (E) 6046は50~6100 (好ましくは100~6050nm) で形成すれば良い。(図22 (A))

【0152】そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 6046と導電層 (D) 6045とをエッチング処理して、ゲート配線6047、6048と容量配線6049を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0153】第1の層間絶縁膜6050は500~60500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に

形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6051~6054と、ドレイン配線6055~6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜6050nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0154】次に、パッシベーション膜6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm (代表的には100~300nm) の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6059に開口部を形成しておいても良い。(図22 (C))

【0155】その後、有機樹脂からなる第2の層間絶縁膜6060を1.0~1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜6060にドレイン配線6058に達するコンタクトホールを形成し、画素電極6061、6062を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を100nmの厚さにスパッタ法で形成した。(図23)

【0156】こうして同一基板上に、駆動回路のTFTと画素領域の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素領域には画素TFT6104、保持容量6105が形成した。本明細書では便宜上このような基板をTFT基板と呼ぶ。

【0157】駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域206、ソース領域6107a、6107b、ドレイン領域6108a、6108bを有している。第1のnチャネル型TFT6102には、島状半導体層6005にチャネル形成領域6109、ゲート電極6029と重なるLDD領域6110 (以降、このようなLDD領域をL_{ov}と記す)、ソース領域6111、ドレイン領域6112を有している。このL_{ov}領域のチャネル長方向の長さは0.5~3.0μm、好ましくは1.0~1.5μmとし

た。第2のnチャネル型TFT6103には、島状半導体層6006にチャネル形成領域6113、LDD領域6114、6115、ソース領域6116、ドレイン領域6117を有している。このLDD領域はLov領域とゲート電極6030と重ならないLDD領域（以降、このようなLDD領域をLoffと記す）とが形成され、このLoff領域のチャネル長方向の長さは0.3~2.0 μm 、好ましくは0.5~1.5 μm である。画素TFT6104には、島状半導体層6007にチャネル形成領域6118、6119、Loff領域6120~6123、ソースまたはドレイン領域6124~6126を有している。Loff領域のチャネル長方向の長さは0.5~3.0 μm 、好ましくは1.5~2.5 μm である。さらに、容量配線6032、6049と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT6104のドレイン領域6126に接続し、n型を付与する不純物元素が添加された半導体層6127とから保持容量6105が形成されている。図23では画素TFT6104をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0158】以上の様に本実施例では、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素領域（画面サイズ）が4インチクラス以上の表示装置にも適用することができる。

【0159】（実施例4）

【0160】本実施例では、実施例3で示したTFTの他に、逆スタガ型のTFTを用いた例を示す。

【0161】図24を参照する。図24には、本実施例の液晶表示装置を構成する逆スタガ型のNチャネル型TFTの断面図が示されている。なお、図24には、1つのNチャネル型TFTしか図示しないが、Pチャネル型TFTとNチャネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成することも言うまでもない。

【0162】3001は基板であり、実施例3で説明したようなものが用いられる。3002は酸化シリコン膜である。3003はゲート電極である。3004はゲート絶縁膜である。3005、3006、3007および3008は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例3で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状

レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3005はソース領域、3006はドレイン領域、3007は低濃度不純物領域（LDD領域）、3008はチャネル形成領域である。3009はチャネル保護膜であり、3010は層間絶縁膜である。3011および3012はそれぞれ、ソース電極、ドレイン電極である。

【0163】次に、図25を参照する。図25には、上述とは構成が異なる逆スタガ型のTFTによって液晶表示装置が構成された場合について説明する。

【0164】図25においても、1つのNチャネル型TFTしか図示しないが、上述のようにPチャネル型TFTとNチャネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成することも言うまでもない。

【0165】3101は基板である。3102は酸化シリコン膜である。3103はゲート電極である。3104はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。3105は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲート絶縁膜を構成する。3106、3107、3108および3109は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例3で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、3106はソース領域、3107はドレイン領域、3108は低濃度不純物領域（LDD領域）、3109はチャネル形成領域である。3110はチャネル保護膜であり、3111は層間絶縁膜である。3112および3113はそれぞれ、ソース電極、ドレイン電極である。

【0166】本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲート絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【0167】（実施例5）

【0168】本発明の液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectric" by T. Yoshida et al.

lectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0169】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0170】ここで、V字型の電気光学応答を示す無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図17に示す。図17に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0171】図17に示されるように、このような無しき値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0172】このような低電圧駆動の無しき値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることで、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0173】また、このような低電圧駆動の無しき値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げることで、D/A変換回路の動作電源電圧を下げることで、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0174】よって、このような低電圧駆動の無しき値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0175】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素

への階調電圧の書き込み期間（ピクセルフィードバック）を長くし、保持容量が小さくてもそれを補うようにしてもよい。

【0176】なお、このような無しき値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0177】なお、図17に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の液晶表示装置の表示媒体として用いることができる。

【0178】（実施例5）

【0179】本実施例においては、本発明の構造をEL表示装置に用いた例を示す。図26を参照する。本実施例のEL表示装置の回路ブロック図を図26(A)に示す。図26(A)のEL表示装置は、基板上に形成されたTFTによって画素部4001、画素部の周辺に配置されたデータ信号側駆動回路4002及びゲート信号側駆動回路4003が形成される。なお、データ側信号側駆動回路とゲート信号側駆動回路はどちらも画素部を挟んで1対で設けても構わない。

【0180】データ信号側駆動回路4002は基本的にシフトレジスタ4002a、ラッチ(A)4002b、ラッチ(B)4002cを含む。また、シフトレジスタ4002aにはクロックパルス(CK)及びスタートパルス(SP)が入力され、ラッチ(A)4002bにはデジタルデータ信号(Digital Data Signals)が入力され、ラッチ(B)4002cにはラッチ信号(Latch Signals)が入力される。

【0181】本実施例では画素部に入力されるデータ信号がデジタル信号であり、また液晶表示装置と異なり電圧階調表示ではないので、「0」または「1」の情報を有するデジタルデータ信号がそのまま画素部へと入力される。

【0182】画素部4001にはマトリクス状に複数の画素4004が配列される。画素4004の拡大図を図26(B)に示す。図26(B)において、4005はスイッチング用TFTであり、ゲート信号を入力するゲート配線4006とデータ信号を入力するデータ配線（ソース配線ともいう）4007に接続されている。

【0183】また、4008は電流制御用TFTであり、そのゲートはスイッチング用TFT4005のドレインに接続される。そして、電流制御用TFT4008のドレインはEL素子4009に接続され、ソースは電源供給線4010に接続される。EL素子4009は電流制御用TFT4008に接続された陽極（画素電極）と、EL層を挟んで陽極に対向して設けられた陰極（対向電極）とでなり、陰極は所定の電源4011に接続されている。

【0184】また、スイッチング用TFT4005が非選択状態（オフ状態）にある時、電流制御用TFT4008のゲート電圧を保持するためにコンデンサ4012

が設けられる。このコンデンサ 4012 はスイッチング用 TFT 4005 のドレインと電源供給線 4010 とに接続されている。

【0185】 以上のような画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路 4013 にて形成される。この回路ではアナログ信号又はデジタル信号でなるビデオ信号（画像情報を含む信号）を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0186】 典型的には、時分割階調データ信号発生回路 4013 には、1 フレームを N ビット（N は 2 以上の整数）の階調に対応した複数のサブフレームに分割する手段と、それら複数のサブフレームにおいてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間を $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-1)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【0187】 この時分割階調データ信号発生回路 4013 は、本実施例の EL 表示装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本実施例の EL 表示装置に入力される構成となる。この場合、本実施例の EL 表示装置をディスプレイとして有する電子装置は、本実施例の EL 表示装置と時分割階調データ信号発生回路を別の部品として含むことになる。

【0188】 また、時分割階調データ信号発生回路 4013 を IC チップなどの形で本実施例の EL 表示装置に実装しても良い。その場合、その IC チップで形成されたデジタルデータ信号が本実施例の EL 表示装置に入力される構成となる。この場合、本実施例の EL 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路を含む IC チップを実装した本実施例の EL 表示装置を部品として含むことになる。

【0189】 また、時分割階調データ信号発生回路 4013 を画素部 4001、データ信号側駆動回路 4002 及びゲート信号側駆動回路と同一の基板上に TFT でもって形成し得る。この場合、EL 表示装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。勿論、この場合の時分割階調データ信号発生回路は連続粒界結晶シリコン膜を活性層とする TFT で形成することが望ましい。また、この場合、本実施例の EL 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路が EL 表示装置自体に内蔵されており、電子装置の小型化を図ることが可能である。

【0190】 次に、本実施例の EL 表示装置について、断面構造の概略を図 27 に示す。

【0191】 図 27 において、5011 は基板、5012 は下地となる絶縁膜（以下、下地膜という）である。基板 5011 としては透光性基板、代表的にはガラス基

板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【0192】 また、下地膜 5012 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 5012 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xNy ：x、y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0193】 5201 はスイッチング用 TFT、5202 は電流制御用 TFT であり、どちらも n チャネル型 TFT で形成されている。n チャネル型 TFT の電界効果移動度は p チャネル型 TFT の電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにも TFT サイズは n チャネル型 TFT の方が小さくできる。そのため、n チャネル型 TFT を電流制御用 TFT として用いた方が画像表示部の有効発光面積が広がるので好ましい。

【0194】 ただし、本実施例において、スイッチング用 TFT と電流制御用 TFT を n チャネル型 TFT に限定する必要はなく、両方又はどちらか片方に p チャネル型 TFT を用いることも可能である。

【0195】 スwitching 用 TFT 5201 は、ソース領域 5013、ドレイン領域 5014、LDD 領域 5015a~5015d、分離領域 5018 及びチャネル形成領域 5017a、5017b を含む活性層、ゲート絶縁膜 5018、ゲート電極 5019a、5019b、第 1 層間絶縁膜 5020、ソース配線 5021 並びにドレイン配線 5022 を有して形成される。なお、ゲート絶縁膜 5018 又は第 1 層間絶縁膜 5020 は基板上の全 TFT に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0196】 また、図 27 に示すスイッチング用 TFT 5201 はゲート電極 5019a、5019b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0197】 マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 TFT のオフ電流を十分に低くすれば、それだけ図 26 (B) に示すコンデンサ 4012 に必要な容量を小さくすることができる。即ち、コンデンサ 4012 の専有面積を小さくすることができるので、マルチゲート構造とすることは EL 素子 5203 の有効発光面積を広げる上でも有効である。

【0198】さらに、スイッチング用TFT5201においては、LDD領域5015a~5015dは、ゲート絶縁膜18を介してゲート電極5017a、5017bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域5015a~5015dの長さ(幅)は0.5~3.5 μ m、代表的には2.0~2.5 μ mとすれば良い。

【0199】なお、チャネル形成領域とLDD領域との間にオフセット領域(チャネル形成領域と同一組成の半導体層となり、ゲート電圧が印加されない領域)を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域5018(ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域)がオフ電流の低減に効果的である。

【0200】次に、電流制御用TFT5202は、ソース領域5026、ドレイン領域5027、LDD領域5028及びチャネル形成領域5029を含む活性層、ゲート絶縁膜18、ゲート電極5030、第1層間絶縁膜5020、ソース配線5031並びにドレイン配線5033を有して形成される。なお、ゲート電極5030はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0201】図26(B)に示すように、スイッチング用TFTのドレインは電流制御用TFTのゲートに接続されている。具体的には電流制御用TFT5202のゲート電極5030はスイッチング用TFT5201のドレイン領域5014とドレイン配線(接続配線とも言える)5022を介して電気的に接続されている。また、ソース配線5031は図26(B)の電源供給線4010に接続される。

【0202】電流制御用TFT5202はEL素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅(W)はスイッチング用TFTのチャネル幅よりも大きく設計することが好ましい。また、電流制御用TFT5202に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A(好ましくは1~1.5 μ A)となるようにする。

【0203】以上のことを踏まえると、スイッチング用TFTのチャネル長をL1(但しL1=L1a+L1b)、チャネル幅をW1とし、電流制御用TFTのチャネル長をL2、チャネル幅をW2とした時、W1は0.1~5 μ m(代表的には1~3 μ m)、W2は0.5~30 μ m(代表的には2~10 μ m)とするのが好ましい。また、L1は0.2~18 μ m(代表的には2~15 μ m)、L2は0.1~50 μ m(代表的には1~20 μ m)とするのが好ましい。但し、以上の数値に限定する

必要はない。

【0204】また、図27に示したEL表示装置は、電流制御用TFT5202において、ドレイン領域5027とチャネル形成領域5029との間にLDD領域5028が設けられ、且つ、LDD領域5028がゲート絶縁膜5018を介してゲート電極5030に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0205】電流制御用TFT5202は、EL素子5203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT5202をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流も抑える必要がある。

【0206】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0207】この時、ゲート電極に重なったLDD領域の長さは0.1~3 μ m(好ましくは0.3~1.5 μ m)にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまう。また、ゲート電極に重ならないLDD領域の長さは1.0~3.5 μ m(好ましくは1.5~2.0 μ m)にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。

【0208】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域5026とチャネル形成領域5029との間には設けない方が好ましい。電流制御用TFTはキャリア(ここでは電子)の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0209】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT5202の活性層(特にチャネル形成領域)の膜厚を厚くする(好ましくは50~100nm、さらに好ましくは60~80nm)ことも有効である。逆に、スイッチング用TFT5201の場合はオフ電流を小さくするという観点から見れば、活性層(特にチャネル形成領域)の膜厚を薄くする(好ましくは20~50nm、さらに好ましくは25~40nm)ことも有効である。

【0210】以上は画素内に設けられたTFTの構造に

ついて説明したが、このとき同時に駆動回路も形成される。図 27 には駆動回路を形成する基本単位となる CMOS 回路が図示されている。

【0211】図 27 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する TFT を CMOS 回路の n チャネル型 TFT 50204 として用いる。なお、ここでいう駆動回路としては、図 26 に示したデータ信号駆動回路 4002、ゲート信号駆動回路 4003 を指す。勿論、他の論理回路（レベルシフタ、A/D コンバータ、信号分割回路等）

を形成することも可能である。

【0212】n チャネル型 5205 の活性層は、ソース領域 5035、ドレイン領域 5036、LDD 領域 5037 及びチャネル形成領域 5038 を含み、LDD 領域 5037 はゲート絶縁膜 5018 を介してゲート電極 5039 と重なっている。

【0213】ドレイン領域側のみに LDD 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 TFT 5205 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD 領域 5037 は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0214】また、CMOS 回路の p チャネル型 TFT 5205 は、ホットキャリア注入による劣化が殆ど気にならないので、特に LDD 領域を設けなくてもよい。従って活性層はソース領域 5040、ドレイン領域 5041 及びチャネル形成領域 5042 を含み、その上にはゲート絶縁膜 5018 とゲート電極 5043 が設けられる。勿論、n チャネル型 TFT 5204 と同様に LDD 領域を設け、ホットキャリア対策を講じることも可能である。

【0215】また、n チャネル型 TFT 5204 及び p チャネル型 TFT 5205 はそれぞれ第 1 層間絶縁膜 5020 に覆われ、ソース配線 5044、5045 が形成される。また、ドレイン配線 5046 によって両者は電氣的に接続される。

【0216】次に、5047 は第 1 パッシベーション膜であり、膜厚は 10 nm ~ 1 μ m（好ましくは 200 ~ 500 nm）とすればよい。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜 5047 は形成された TFT をアルカリ金属や水分から保護する役割をもつ。最終的に TFT の上方に設けられる EL 層にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 5047 はこれらのアルカリ金属（可動イオン）を TFT 側に侵入させない保護層としても働く。

【0217】また、5048 は第 2 層間絶縁膜であり、

TFT によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 5048 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL 層は凹凸に非常に敏感であるため、TFT による段差は第 2 層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線と EL 素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は 0.5 ~ 5 μ m（好ましくは 1.5 ~ 2.5 μ m）が好ましい。

【0218】また、5049 は透明導電膜でなる画素電極（EL 素子の陽極）であり、第 2 層間絶縁膜 5048 及び第 1 パッシベーション膜 5047 にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用 TFT 5202 のドレイン配線 5033 に接続されるように形成される。なお、図 27 のように画素電極 5049 とドレイン領域 5027 とが直接接続されないようにしておくと、EL 層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0219】画素電極 5049 の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第 3 層間絶縁膜 5050 が 0.3 ~ 1 μ m の厚さに設けられる。この第 3 層間絶縁膜 5050 は画素電極 5049 の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は 10 ~ 60°（好ましくは 30 ~ 50°）とすると良い。

【0220】第 3 層間絶縁膜 5050 の上には EL 層 5051 が設けられる。EL 層 5051 は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率が良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本実施例では公知のいずれの構造を用いても良いし、EL 層に対して蛍光性色素等をドーピングしても良い。

【0221】有機 EL 材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第 4,356,429 号、米国特許第 4,539,507 号、米国特許第 4,720,432 号、米国特許第 4,769,292 号、米国特許第 4,885,211 号、米国特許第 4,950,950 号、米国特許第 5,059,861 号、米国特許第 5,047,687 号、米国特許第 5,073,446 号、米国特許第 5,059,862 号、米国特許第 5,061,617 号、米国特許第 5,151,629 号、米国特許第 5,294,869 号、米国特許第 5,294,870 号、特開平 10-1895

25号公報、特開平8-241048号公報、特開平8-78159号公報。

【0222】EL層は、低分子の材料であれば蒸着で、高分子の材料であればスピコートによって成膜すればよい。

【0223】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

【0224】図27の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図27には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0225】本実施例は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本実施例に用いることができる。しかし、蛍光体はELに比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。また、発光輝度を落とす要因となるカラーフィルターもなるべく使わない方が望ましいと言える。

【0226】EL層5051の上にはEL素子の陰極5052が設けられる。陰極5052としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0227】陰極5052はEL層5051を形成した後、大気解放しないで連続的に形成することが望ましい。陰極5052とEL層5051との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極（陽極）、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0228】EL層5051と陰極5052とでなる積層体は、各画素で個別に形成する必要があるが、EL層5051は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0229】なお、EL層を選択的に形成する方法として、インクジェット法やスクリーン印刷法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【0230】また、5053は保護電極であり、陰極5052を外部の水分等から保護すると同時に、各画素の陰極5052を接続するための電極である。保護電極5053としては、アルミニウム（Al）、銅（Cu）若しくは銀（Ag）を含む低抵抗な材料を用いることが好ましい。この保護電極5053にはEL層の発熱を緩和する放熱効果も期待できる。また、上記EL層5051、陰極5052を形成した後、大気解放しないで連続的に保護電極5053まで形成することも有効である。

【0231】また、5054は第2パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。第2パッシベーション膜5054を設ける目的は、EL層5051を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温（好ましくは室温から120℃までの温度範囲）で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法（スピコート法）が望ましい成膜方法と言える。

【0232】（実施例6）

【0233】実施例1～5に示した構造を有するTFT基板を用い、液晶表示装置を構成した例を図28に示す。図28は液晶表示装置の本体に相当する部位であり、液晶パネルとも呼ばれる。なお本実施例では液晶パネルのFPCとの貼り合わせの部分について説明するため、便宜上シール材やセル構成部は図示しなかった。

【0234】図28において、8001はTFT基板であり、TFT基板8001上に複数のTFTが形成されている。これらのTFTは基板上に画素部8002、ゲート信号線駆動回路8003、ソース信号線駆動回路8004、ロジック回路8005を構成する。その様なTFT基板に対して対向基板8006が貼り合わされる。TFT基板と対向基板8006との間には液晶層（図示せず）が挟持される。

【0235】また、図28に示す構成では、TFT基板8001の側面と対向基板8006の側面とをある1辺を除いて全てそろえることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。また、前述の1辺では、対向基板8006の一部を除去してTFT基板8001の一部を露出させ、そこにFPC（フレキシブル・プリント・サーキット）8007を取り付ける。ここには必要に応じてICチップ（単結晶シリコン上に形成されたMOSFETで構成される半導体回路）を搭載しても構わない。

【0236】実施例28で示した作製工程によって形成されたTFTは極めて高い動作速度を有しているため、数百MHz～数GHzの高周波数で駆動する信号処理回路を画素部と同一の基板上に一体形成することが可能である。即ち、図28に示す液晶パネルはシステム・オン

・パネルを具現化したものである。

【0237】（実施例7）本発明の構成は、様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0238】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図29、図30及び図31に示す。

【0239】図29（A）はパーソナルコンピュータであり、本体7001、映像入力部7002、表示装置7003、キーボード7004で構成される。本発明を映像入力部7002、表示装置7003やその他の信号制御回路に適用することができる。

【0240】図29（B）はビデオカメラであり、本体7101、表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。本発明を表示装置7102、音声入力部7103やその他の信号制御回路に適用することができる。

【0241】図29（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、表示装置7205で構成される。本発明は表示装置7205やその他の信号制御回路に適用できる。

【0242】図29（D）はゴーグル型ディスプレイであり、本体7301、表示装置7302、アーム部7303で構成される。本発明は表示装置7302やその他の信号制御回路に適用することができる。

【0243】図29（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体7401、表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置7402やその他の信号制御回路に適用することができる。

【0244】図29（F）はゲーム機であり、本体7501、本体用表示装置7502、表示装置7503、記録媒体7504、コントローラ7505、本体用センサ部7506、センサ部7507、CPU部7508で構成される。本体用センサ部7506、センサ部7507はそれぞれコントローラ7505、本体7501から出される赤外線を検知することが可能である。本発明を本

体用表示装置7502、表示装置7503やその他の信号制御回路に適用することができる。

【0245】図30（A）はフロント型プロジェクターであり、光源光学系及び表示装置7601、スクリーン7602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0246】図30（B）はリア型プロジェクターであり、本体7701、光源光学系及び表示装置7702、ミラー7703、ミラー7704、スクリーン7705で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0247】なお、図30（C）は、図30（A）及び図30（B）中における光源光学系及び表示装置7601、7702の構造の一例を示した図である。光源光学系及び表示装置7601、7702は、光源光学系7801、ミラー7802、7804～7806、ダイクロイックミラー7803、光学系7807、表示装置7808、位相差板7809、投射光学系7810で構成される。投射光学系7810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置7808を三つ使用しているため三板式と呼ばれている。また、図30（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等を設けてもよい。

【0248】また、図30（D）は、図30（C）中における光源光学系7801の構造の一例を示した図である。本実施例では、光源光学系7801は、リフレクター7811、光源7812、レンズアレイ7813、7814、偏光変換素子7815、集光レンズ7816で構成される。なお、図30（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0249】図30（C）は三板式の例を示したが、図31（A）は単板式の一例を示した図である。図31

（A）に示した光源光学系及び表示装置は、光源光学系7901、表示装置7902、投射光学系7903で構成される。投射光学系7903は、投射レンズを備えた複数の光学レンズで構成される。図31（A）に示した光源光学系及び表示装置は図30（A）及び図30

（B）中における光源光学系及び表示装置7601、7702に適用できる。また、光源光学系7901は図30（D）に示した光源光学系を用いればよい。なお、表示装置7902にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【0250】また、図31（B）に示した光源光学系及び表示装置は、図31（A）の応用例であり、カラーフィルターを設ける代わりに、RGBの回転カラーフィル

ター円板 7 9 0 5 を用いて表示映像をカラー化している。図 3 1 (B) に示した光源光学系及び表示装置は図 3 0 (A) 及び図 3 0 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。

【 0 2 5 1 】 また、図 3 1 (C) に示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置 7 9 1 6 にマイクロレンズアレイ 7 9 1 5 を設け、ダイクロイックミラー (緑) 7 9 1 2、ダイクロイックミラー (赤) 7 9 1 3、ダイクロイックミラー (青) 7 9 1 4 を用いて表示映像をカラー化している。投射光学系 7 9 1 7 は、投射レンズを備えた複数の光学レンズで構成される。図 3 1 (C) に示した光源光学系及び表示装置は図 3 0 (A) 及び図 3 0 (B) 中における光源光学系及び表示装置 7 6 0 1、7 7 0 2 に適用できる。また、光源光学系 7 9 1 1 としては、光源の他に結合レンズ、コリメータレンズを用いた光学系を用いればよい。

【 0 2 5 2 】 以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 7 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 2 5 3 】

【発明の効果】

【 0 2 5 4 】 本発明では、2つの基板間に液晶を挟持した液晶表示装置において、基板をエッチング等で削ることで、基板の表面に液晶を挟持するための溝 (セル構成部) を形成している。そしてセルギャップはセル構成部の深さで決定している。

【 0 2 5 5 】 本発明は上記構成によって、スペーサやシール材によってセルギャップを制御する必要がなくなり、容易にセルギャップを均一に保つことが可能になった。

【 0 2 5 6 】 またシール材でセルギャップを制御した場合、2つの基板をシール材で貼り合わせて形成されたセルの内部を真空にし、液晶注入口を液晶に浸してからセルの外部の気圧を上げることで液晶をセルに注入する際、セルの内部と外部の気圧差が大きいために、シール材に負担がかかっていた。しかし本発明ではセルの内部と外部の気圧差が大きくてもシール材にかかる負担が小さくすることが可能になった。

【 0 2 5 7 】 また本発明では、ゴーグル型表示装置において、液晶パネルが有するレンズの一部がエッチング等で削られてセル構成部を形成している。そして、エッチング等で削られていない基板上に T F T が形成された T F T 基板がレンズと貼り合わされており、T F T 基板とレンズのセル構成部との間に液晶が挟持される。

【 0 2 5 8 】 上記構成を有する本発明のゴーグル型表示装置によると、レンズ等の光学素子と液晶パネルが一体となっているので、従来問題となっていた、液晶パネル

とレンズとの「ずれ」による表示品質の劣化を防ぐことができる。

【図面の簡単な説明】

【図 1】 本発明の液晶パネルの斜視図及び上面図。

【図 2】 本発明の液晶パネルの断面図。

【図 3】 本発明の液晶パネルの詳しい上面図及び断面図。

【図 4】 本発明の液晶パネルの斜視図及び上面図。

【図 5】 本発明の液晶パネルの断面図。

【図 6】 本発明の液晶パネルの詳しい上面図及び断面図。

【図 7】 本発明の液晶パネルの断面図。

【図 8】 本発明の液晶パネルの断面図。

【図 9】 本発明の液晶パネルの詳しい断面図。

【図 1 0】 本発明のゴーグル型表示装置の実施例の概略構成図。

【図 1 1】 本発明のゴーグル型表示装置の断面図。

【図 1 2】 本発明のゴーグル型表示装置の液晶パネルの概略ブロック図。

【図 1 3】 本発明のゴーグル型表示装置の概略構成図である。

【図 1 4】 本発明のゴーグル型表示装置の概略構成図である。

【図 1 5】 本発明のゴーグル型表示装置の概略構成図である。

【図 1 6】 本発明のゴーグル型表示装置の概略構成図である。

【図 1 7】 無しきい値反強誘電性混合液晶の V 字型の電気光学特性を示すグラフ。

【図 1 8】 本発明のゴーグル型表示装置の概略構成図である。

【図 1 9】 T F T の作製工程を示す断面図。

【図 2 0】 T F T の作製工程を示す断面図。

【図 2 1】 T F T の作製工程を示す断面図。

【図 2 2】 T F T の作製工程を示す断面図。

【図 2 3】 T F T の作製工程を示す断面図。

【図 2 4】 T F T の作製工程を示す断面図。

【図 2 5】 T F T の作製工程を示す断面図。

【図 2 6】 本発明の構成を用いた E L 表示装置の回路ブロック図。

【図 2 7】 本発明の構成を用いた E L 表示装置の断面構造の概略図。

【図 2 8】 本発明の液晶パネルの外観図。

【図 2 9】 本発明の構成を用いた電子機器の図。

【図 3 0】 本発明の構成を用いたプロジェクターの図。

【図 3 1】 本発明の構成を用いたプロジェクターの図。

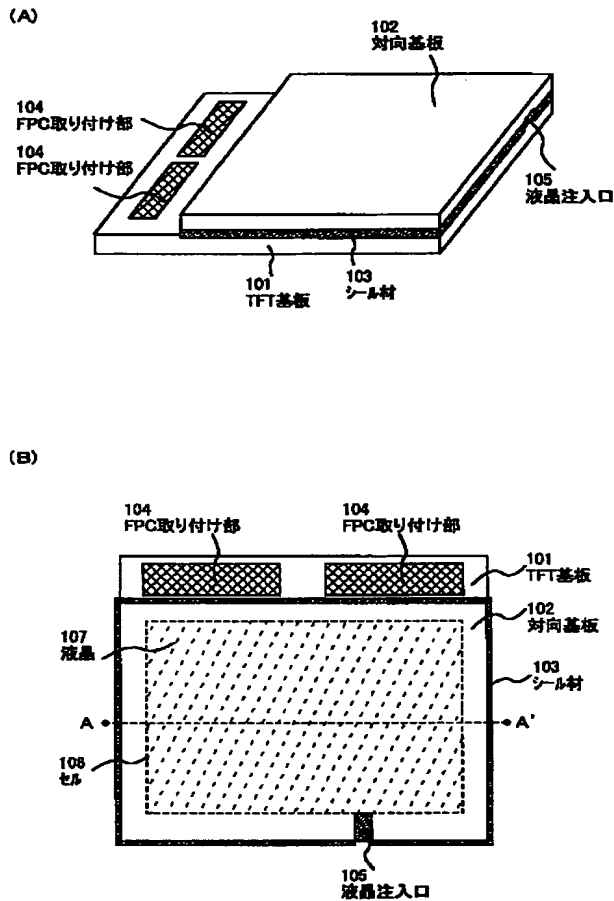
【符号の説明】

1 0 1 T F T 基板

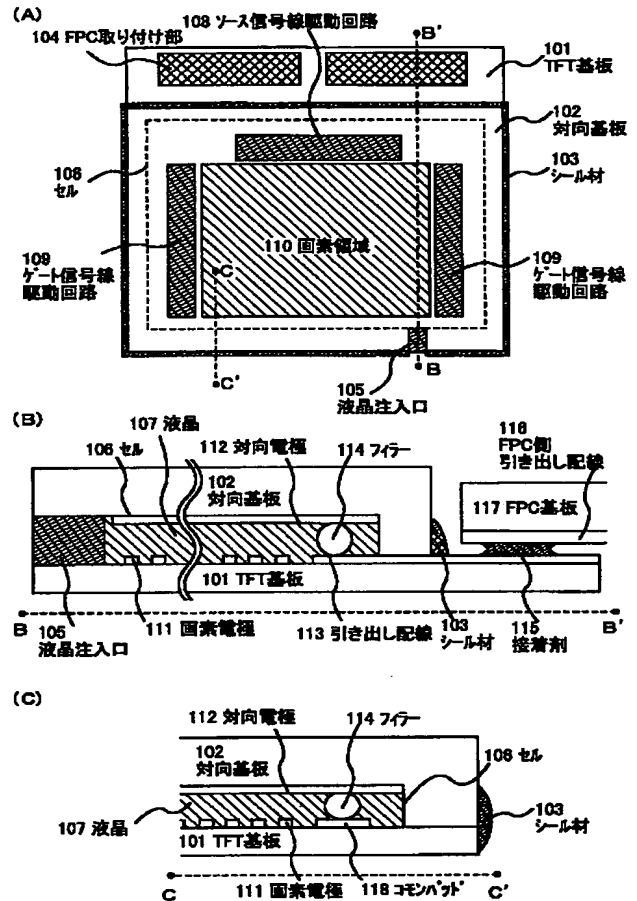
102 対向基板
103 シール材
104 FPC取り付け部
105 液晶注入口

106 セル
107 液晶

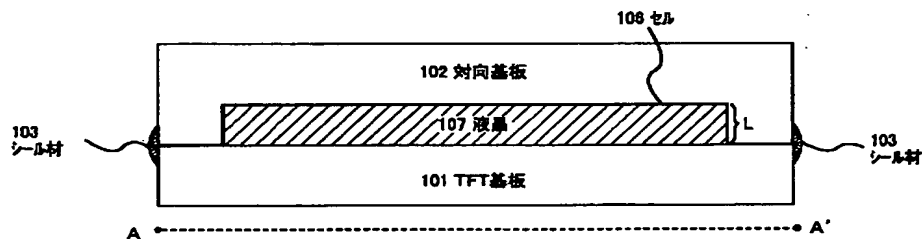
【図1】



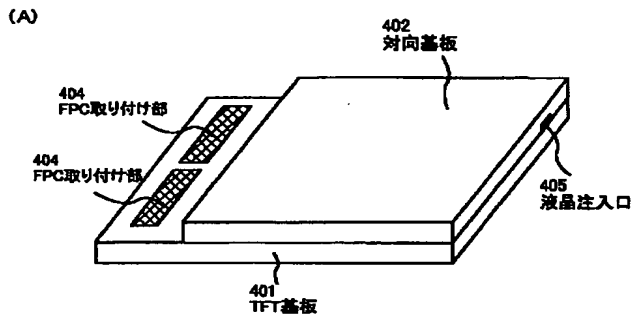
【図3】



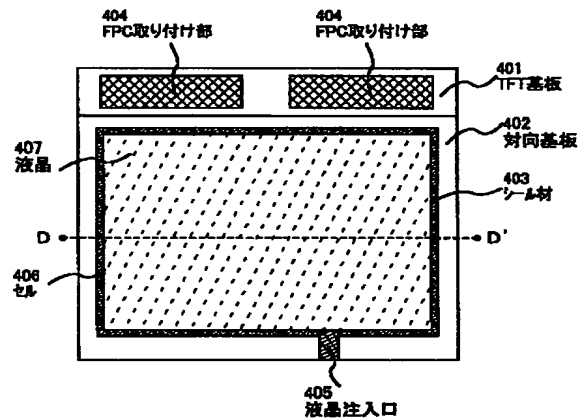
【図2】



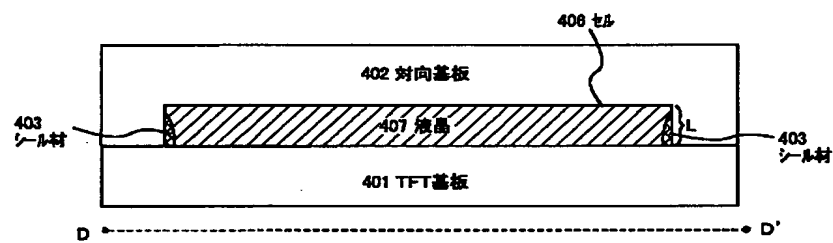
【図 4】



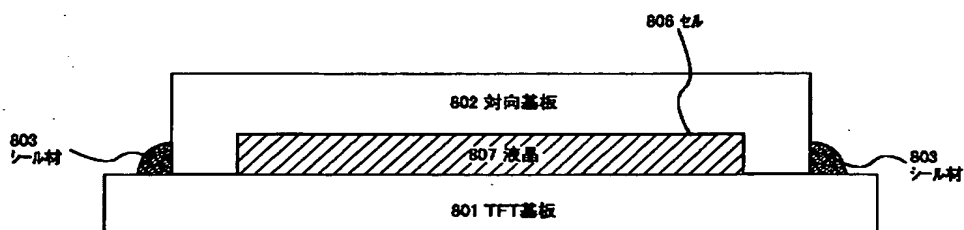
(B)



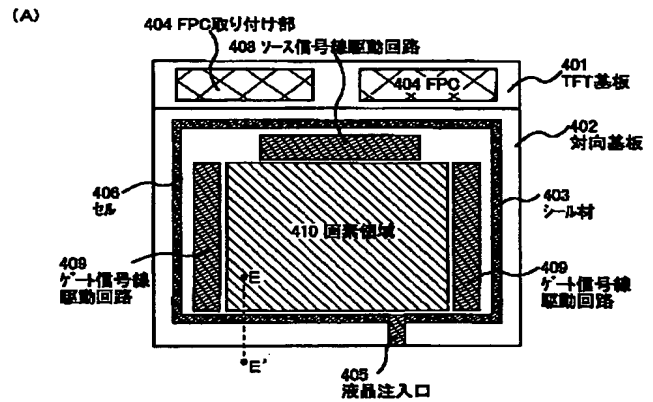
【図 5】



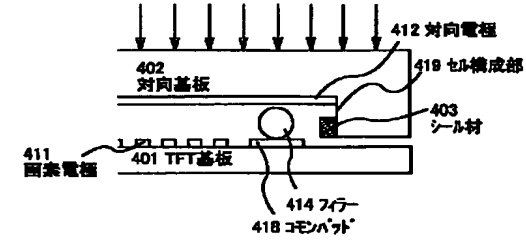
【図 8】



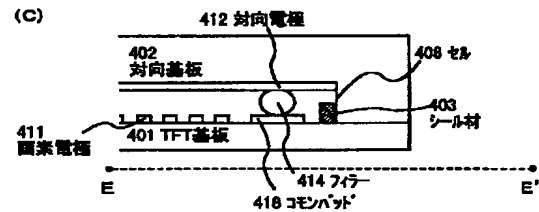
【図 6】



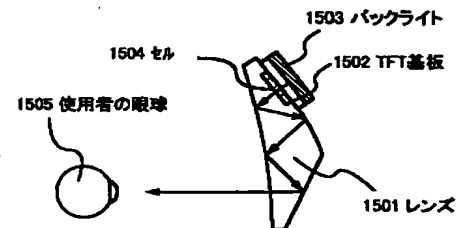
(B)



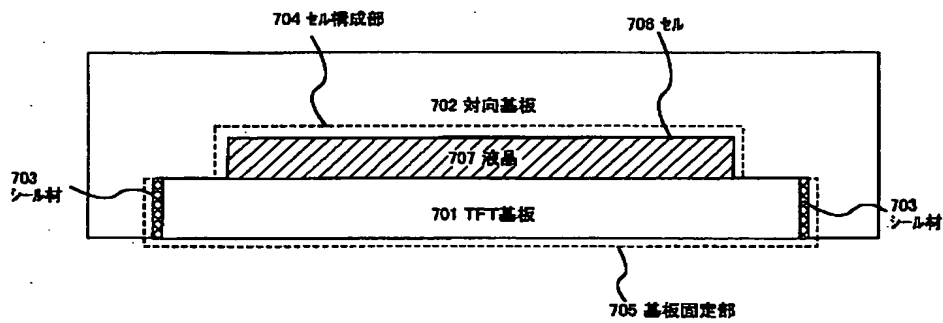
(C)



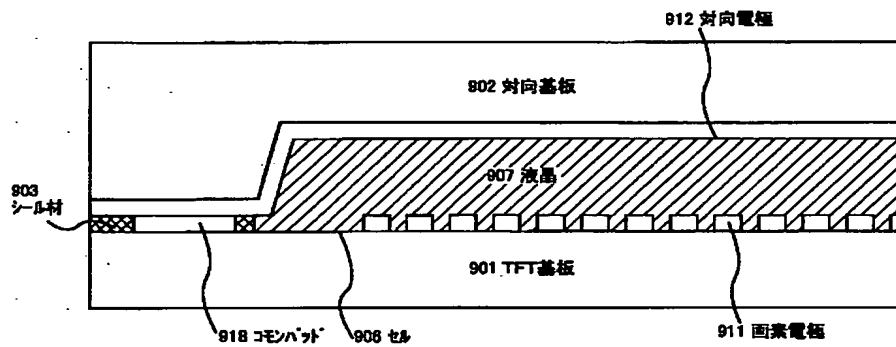
【図 15】



【図7】

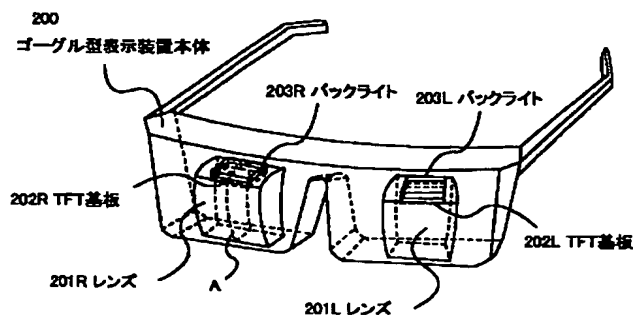


【図9】

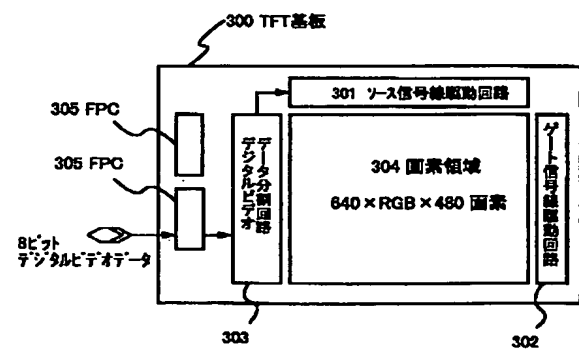


901 TFT基板
902 対向基板
903 シール材
908 セル
907 液晶
911 画素電極
912 対向電極
918 コモンバッド

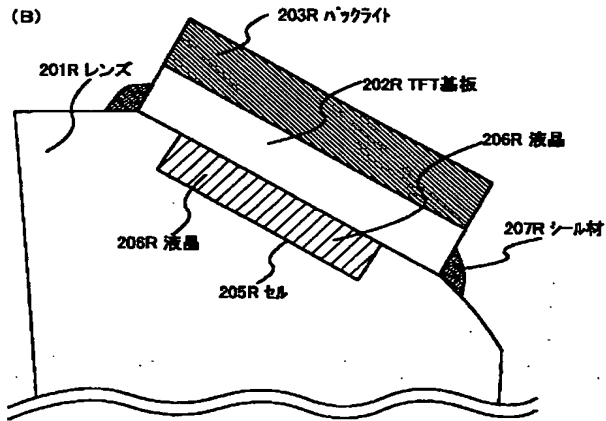
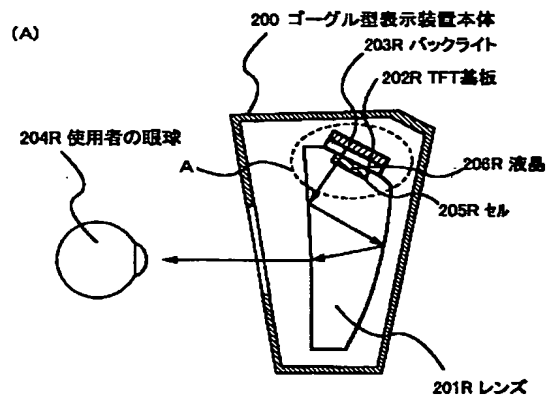
【図10】



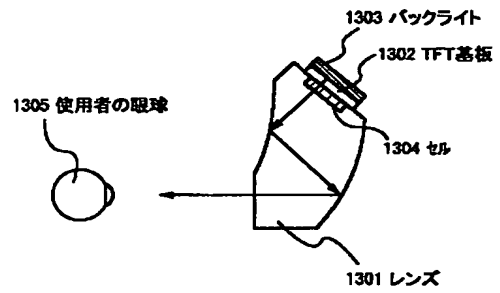
【図12】



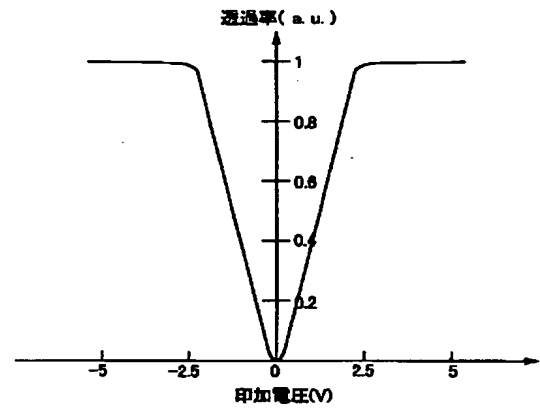
【図 11】



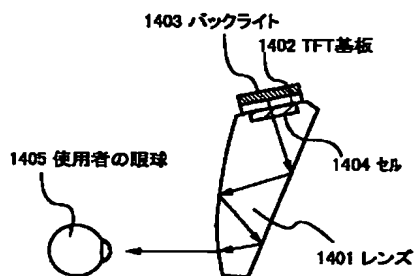
【図 13】



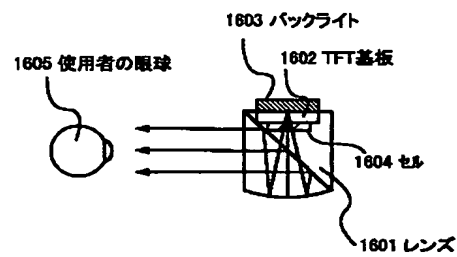
【図 17】



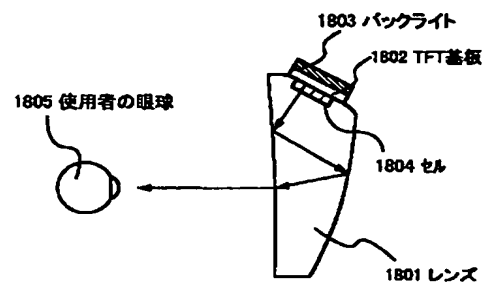
【図 14】



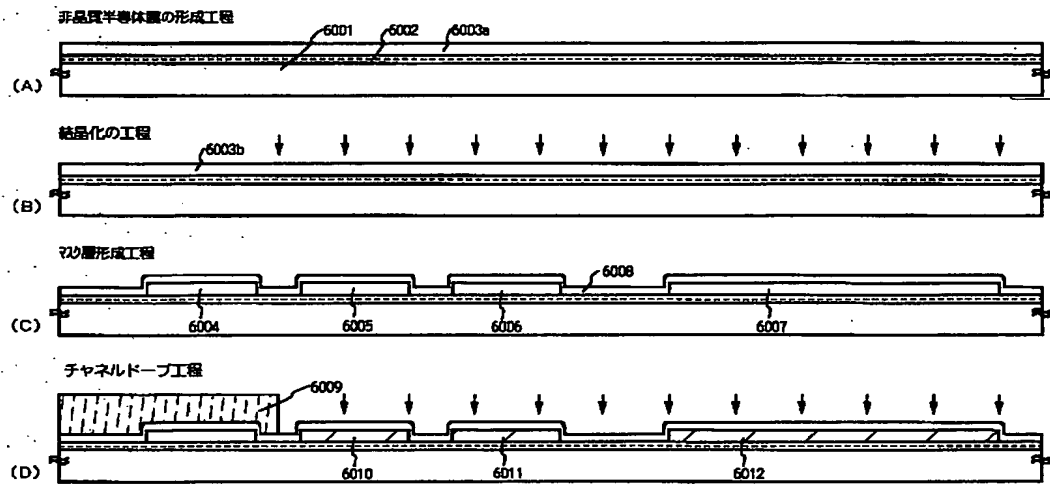
【図 16】



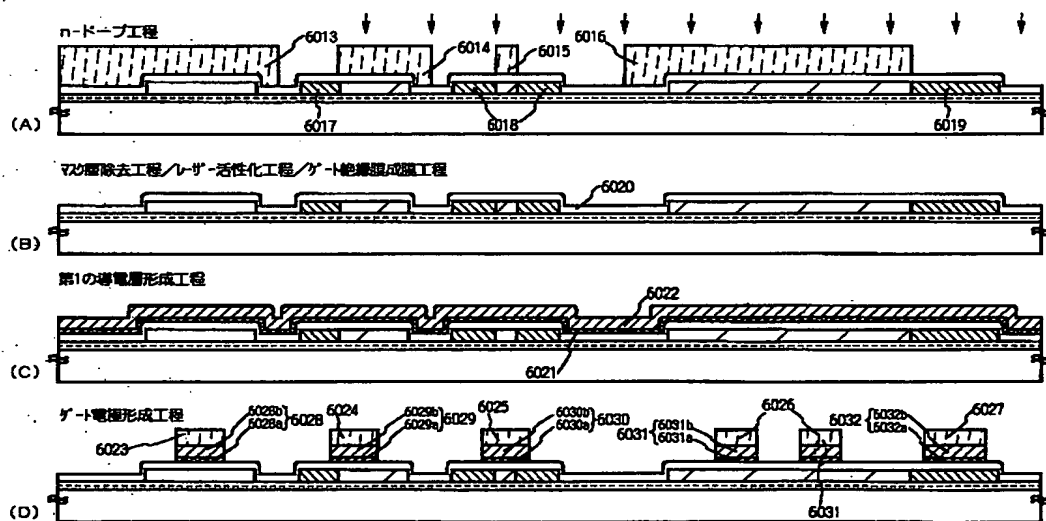
【図 18】



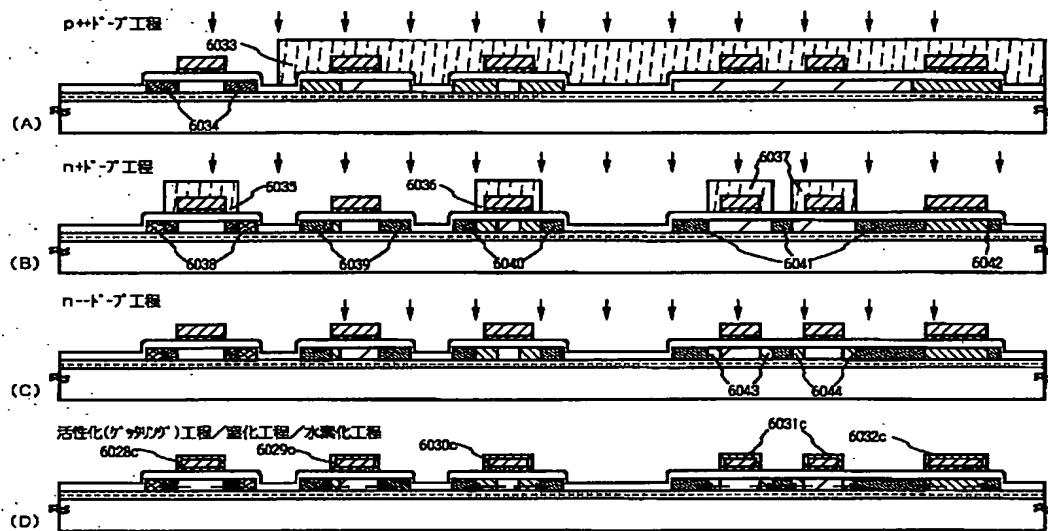
【図 19】



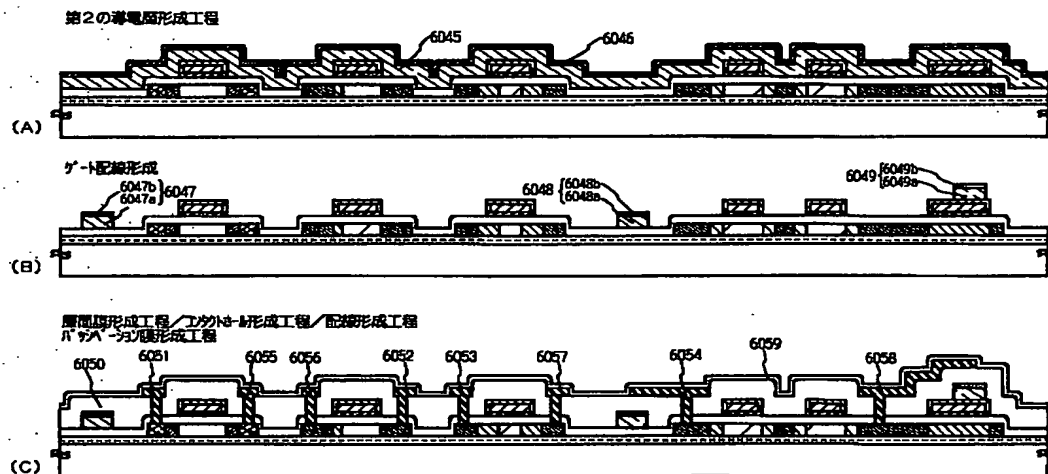
【図 20】



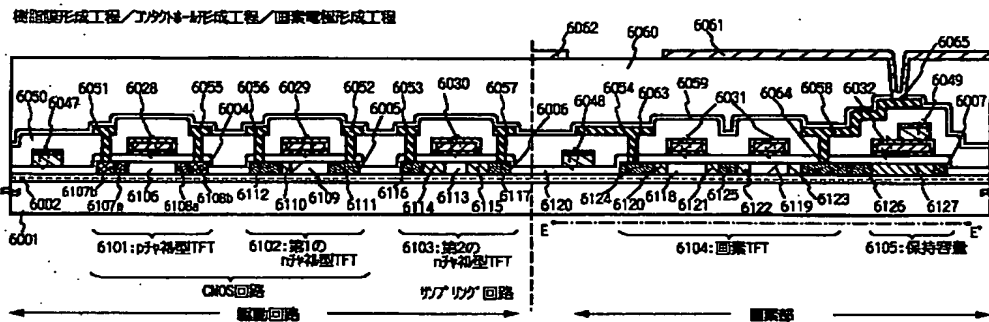
【図 21】



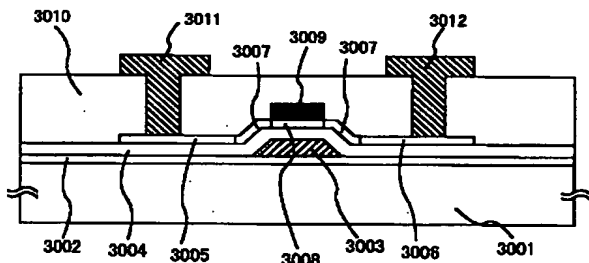
【図 22】



【図 23】

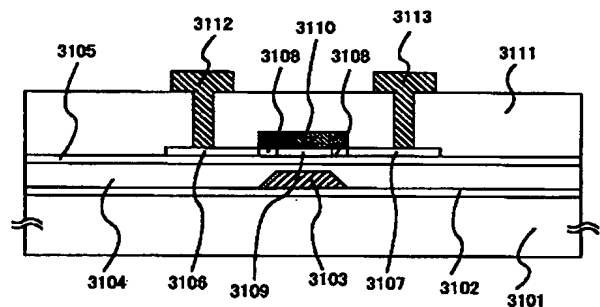


【図 24】



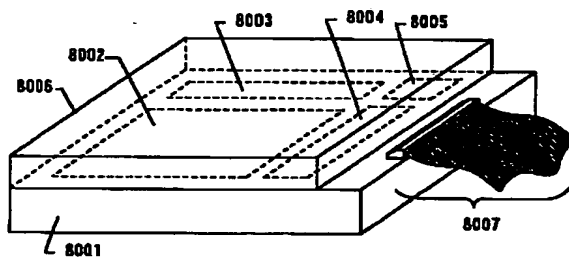
- | | |
|--------------|----------------------|
| 3001 基板 | 3007 低濃度不純物領域(LDD領域) |
| 3002 酸化シリコン膜 | 3008 チャンネル形成領域 |
| 3003 ゲイト電極 | 3009 チャンネル保護膜 |
| 3004 ゲイト絶縁膜 | 3010 層間絶縁膜 |
| 3005 ソース領域 | 3011 ソース電極 |
| 3006 ドレイン領域 | 3012 ドレイン電極 |

【図 25】



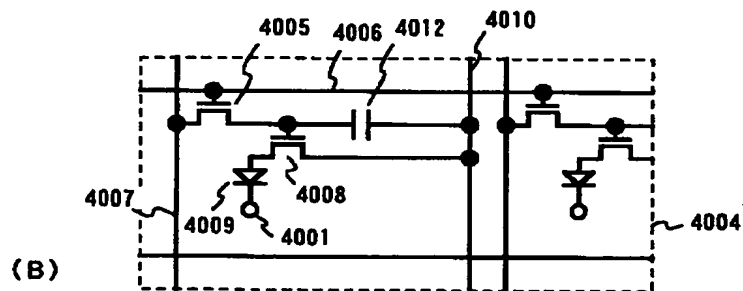
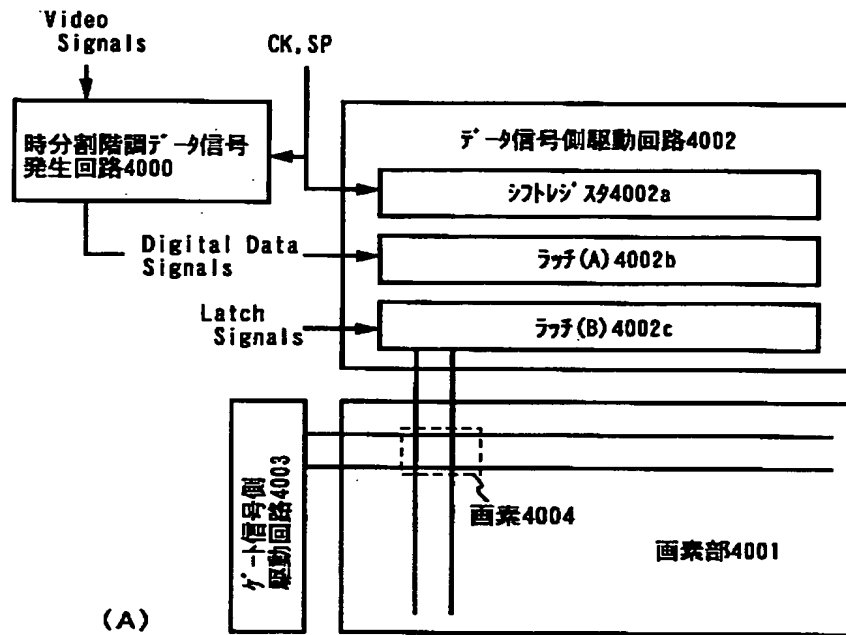
- | | |
|---------------------|----------------------|
| 3101 基板 | 3108 低濃度不純物領域(LDD領域) |
| 3102 酸化シリコン膜 | 3109 チャンネル形成領域 |
| 3103 ゲイト電極 | 3110 チャンネル保護膜 |
| 3104 ヘキサシクロブテン(BCB) | 3111 層間絶縁膜 |
| 3105 酸化シリコン | 3112 ソース電極 |
| 3106 ソース領域 | 3113 ドレイン電極 |
| 3107 ドレイン領域 | |

【図 28】

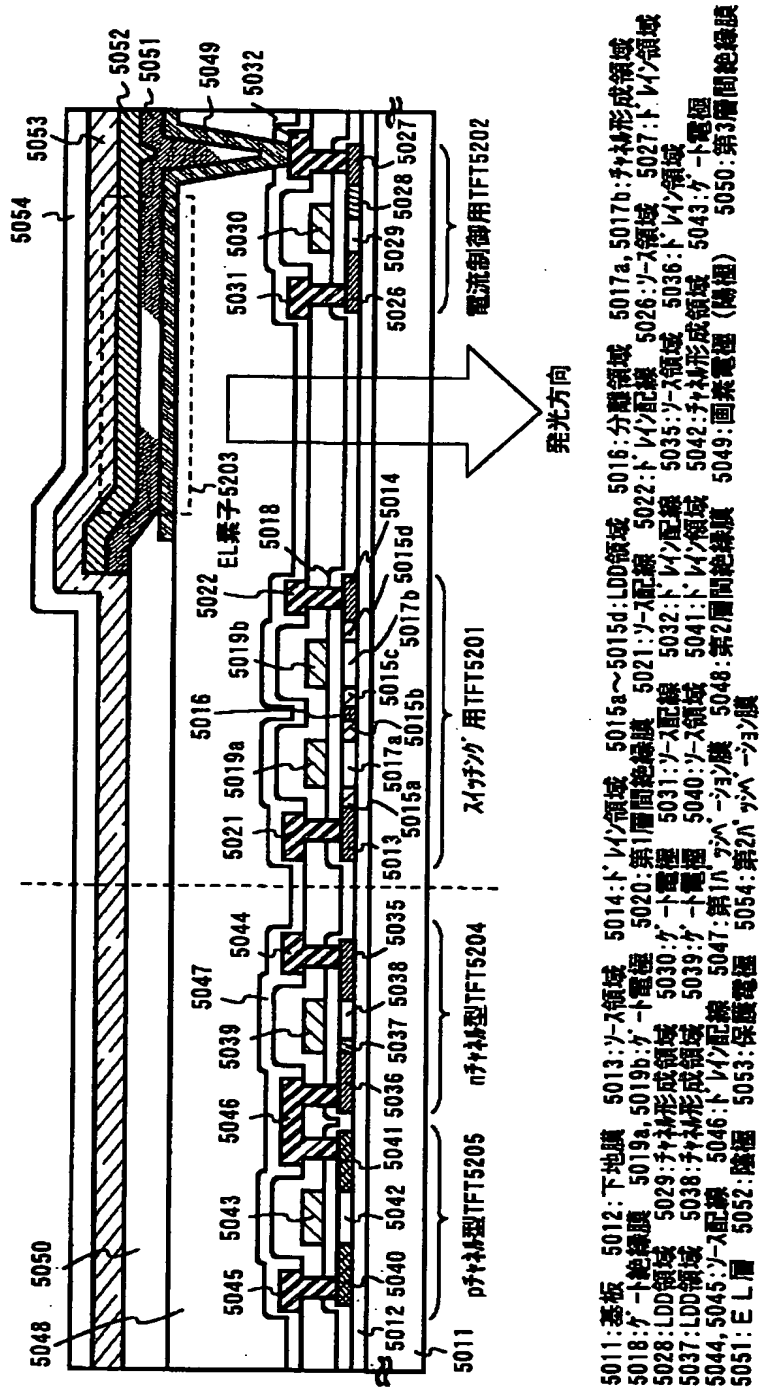


- | |
|-------------------|
| 8001 TPAI マトリクス基板 |
| 8002 画素部 |
| 8003 ゲート信号線側駆動回路 |
| 8004 ソース信号線側駆動回路 |
| 8005 配線回路 |
| 8006 対向基板 |
| 8007 FPC |

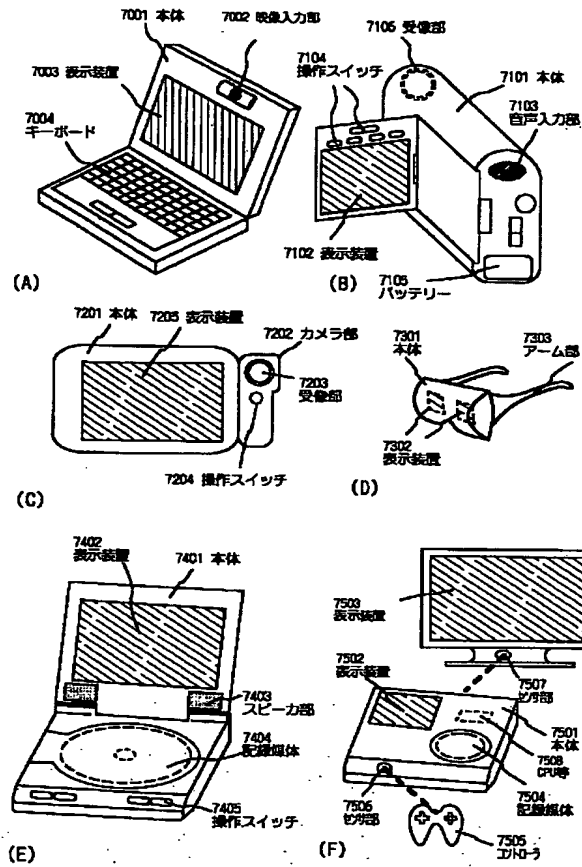
【図 26】



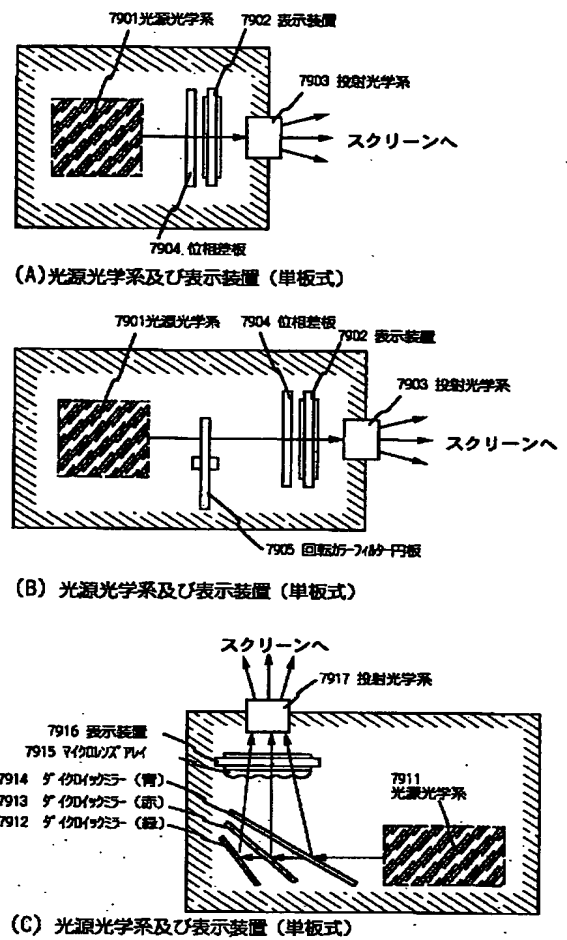
【図27】



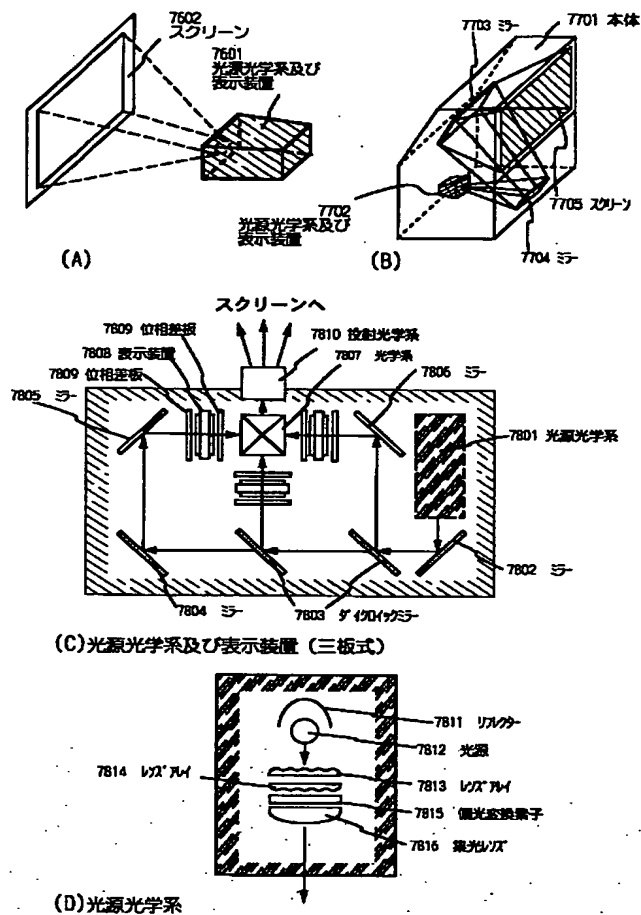
【図 29】



【図 30】



【図 3 1】



フロントページの続き

Fターム(参考) 2H089 LA44 LA46 LA47 NA25 QA03
TA09 TA16 UA09
2H090 JA03 JB02 JB04 JC03 KA15
LA03 LA04 LA12
5G435 BB12 EE37 EE47 FF00 LL03
LL08 LL14 LL15